

Simulering i Modelsim

Följande dokument beskriver steg för steg hur en VHDL-modell simuleras i Modelsim. Sist i dokumentet finns några övningsexempel.

1. Kopiera katalogen "TSEA22" från "U:\da " till "H:\"

2. Starta Modelsim

Start → All Programs → ModelsimSE.. → Modelsim

3. Skapa ett projekt

File → New → Project

- Project name: "XOR_sim"
- Project Location: "H:/TSEA22/VHDL_lektion/XOR"
- OK
- Add Existing File: " H:/TSEA22/VHDL_lektion /XOR/XOR_gate.vhd"
- OK
- Close

I **Library** finns en lista på alla tillgängliga bibliotek och dess tillhörande objekt. Konstruktion finns under "work"

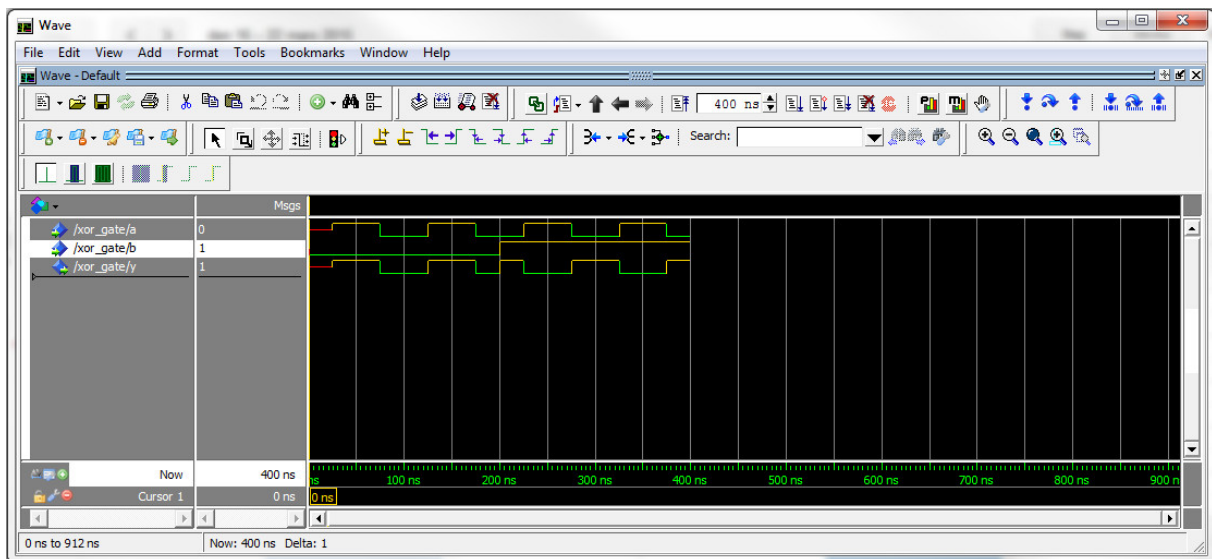
I **Project** listas alla VHDL-filer som finns i det nuvarande projektet

4. Kompilering

Compile→Compile all

5. Simulering

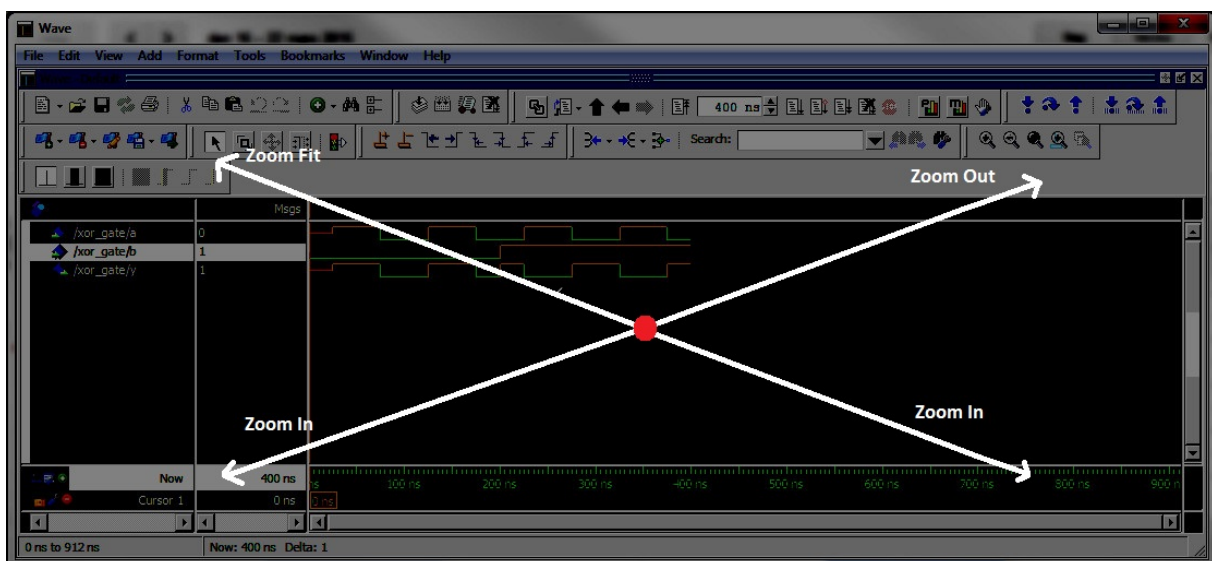
GUI	Transcript
➤ Library: work/xor_gate	
➤ Höger klick → <i>Simulate</i>	>vsim xor_gate
➤ Objects: markera all signaler	
➤ Höger klick → <i>Add Wave</i>	>add wave sim:/xor_gate/*
➤ Wave: höger klicka på "a", välj "Clock" : offset="25ns", Duty="50", Period="100ns" . OK	> force -freeze sim:/xor_gate/a 1 25, 0 {75 ns} -r 100
➤ Wave: höger klicka på "b", välj "Force": Value="0", OK "Force" Value"1", "Delay for"="200ns", OK	> force -freeze sim:/xor_gate/b 0 0, 1 200
➤ Ändra "Run Length" till 400 ns	>run 400ns
➤ Klicka på "run" 	



Figur 1: Resultatet av simuleringen

6. Visa resultat

Zoom-funktioner i vågfönstret



Mäta tid

- Flytta gula boxen (default 0 ns)
- Lägga till markör: *Add* → *Cursor*

Dividers

- Höger klicka på signalen "a" → *Add* → *New Divider*
Divider Name="Ingångar"
- Höger klicka på signalen "y" → *Add* → *New Divider*
Divider Name="Utgångar"

7. Addera en signal i VHDL filen

GUI

- Modelsims huvudfönster, Project
- Höger klicka på XOR_gate.vhd → *Edit*
- Lägg till signalen "z = not y"
- *Project* → *Compile* → *Compile Selected*
- Klicka på "Restart" 
- Stimuli till signal "a" och "b", se punk 4
- Klicka på "run" 

Transcript

```
>vcom XOR_gate.vhd
```

```
>restart -force
```

```
> force -freeze sim:/xor_gate/a 1 25, 0 {75 ns}
-r 100
```

```
>force -freeze sim:/XOR_get/b 0 0 ns, 1 200ns
```

```
>run 400ns
```

Byta färg för logiska nivåer

ModelSim fönstret: *Tools* → *Edit Preferences..* → *Wave Windows* → *LOGIC_1* → *Palette* → *Gold*

Byta färg på en signal

Wave fönstret: Höger klick på signal → *Properties* → *Wave Color*

Macro

ModelSim fönstret: *Load* → *MacroFile* → "sim.do"

Spara vågfönster från en simulering

Wave fönstret: *File* → *Export* → *Image..*

Ändra radix/base till Unsigned

Wave fönstret: Höger klick på signal → *Radix* → *Unsigned*

Uppgift 1. Konstruera med hjälp av VHDL en BCD-räknare som har samma funktion som 74LS160 och simulera konstruktionen i Modelsim.

Använd funktioner som finns i VHDL, tex " $a \leq a + 1$ " (minimering mha Karnaughdiagram behöver INTE göras).

Insignaler: CLR, LOAD, A, B, C, D, CLK, EN_P, EN_T

Utsignaler: Q3, Q2, Q1, Q0, RCO

Uppgift 2. Simulera VHDL-filen till kodlåset från lab 2 (uppgift 10).