

Applikationsspecifika Integrerade kretsar

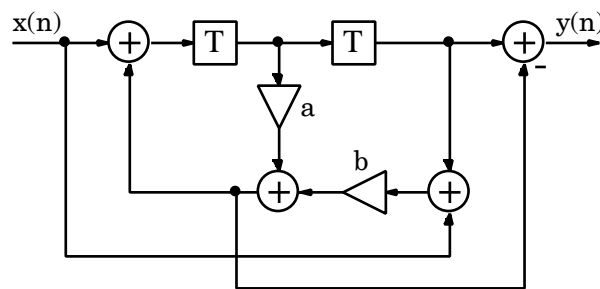
Tentamen

TSTE81

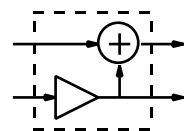
för Y4, D4 och TE

- Tid: Torsdag 12 Mars 1998 kl. 14.00 - 18.00
- Plats: U10, U11, U14, U15
- Ansvarig lärare: Kent Palmkvist, 281347
- Hjälpmedel: Räknedosa, Formelsamling i Aktiva och Tidsdiskreta filter, Formelsamling i kretsteori samt allmänna tabellverk.
- Anvisningar: För godkänd tentamen fordras ca 30 poäng.
OBS: Alla uppgifter ska lösas, även om du fått godkänt på den muntliga deltentamen.
- Visning: Onsdag 25 Mars 1998 kl. 13.00-14.00
(Kent Palmkvists tjänsterum)
- Lösningar: Anslås på Systemtekniks anslagstavla i labkorridoren
- Betygslista: Anslås senast 1998-03-25 på anslagstavlan i labkorridoren

1. a) Vad är transpositionsteoremet. Visa med ett exempel hur teoremet används. (2)
 - b) Vad är mättnadslogik. (2)
 - c) Ange ett nödvändigt och tillräckligt villkor för att en rekursiv signalflödesgraf ska vara sekvensiellt beräkningsbar. Ge även ett exempel på en signalflödesgraf som inte är sekvensiellt beräkningsbar. (4)
 - d) Vad skiljer en systolisk array från en wave-front array? (2)
2. Filtret nedan ska implementeras med hjälp av distribuerad aritmetik. Latency från ingång till utgång får inte vara längre än latency för en distribuerad aritmetik-enhet. Koefficienterna är $a = 0.5$, $b = -0.125$.
 - a) Rita blockschemat över arkitekturen. Använd skiftregister, distribuerat aritmetikenhet etc. (5)
 - c) Ange innehållet i ROM:en. (5)

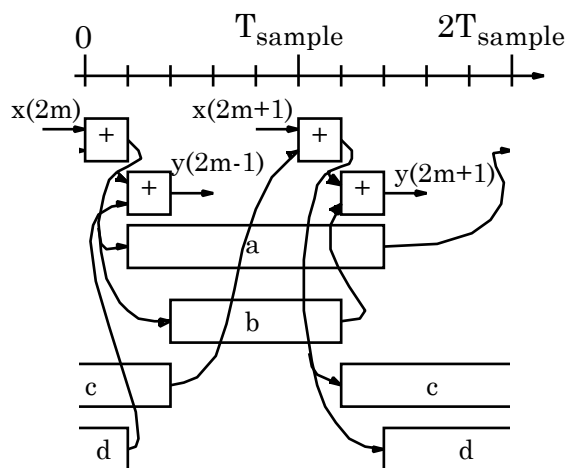


3. Filtret ovan ska implementeras med hjälp av en multiplicera-addera operation enligt figuren till höger. Latency för hela multiplicera-addera operationen är 1 tidsenhet.



- a) Rita den fullt specificerade signalflödesgraf. (6)
- b) Beräkna T_{\min} . (4)
- c) Schemulera för $T_{\text{Sample}} = 3$ tidsenheter. (6)

4. En bitseriell multiplikation med den fixa koefficienten 0.10111_2 ska implementeras.
- a) Rita den förenklade strukturen. Använd fulladderare, D-vippor etc.
(6)
- b) Använd omskrivningar för att implementera multiplikationen med endast 2 fulladderare. (6)



5. Den schedulerade algoritmen ovan ska implementeras med homogena beräkningselement av non-preemptive typ.
- a) Ge en undre uppskattning av antal beräkningselement. (4)
- b) Utför clique-partitionering av beräkningselementen. (6)
- c) Utför left-edge partitionering av variablerna. (6)
6. En FFT implementeras med en radix-4 butterfly som byggblock. En radix4 butterfly har fyra komplexvärda ingångar och fyra komplexvärda utgångar där varje utgång/ingång består av en real och en imaginärdel. Hela FFT:n kommer innehålla $4 \log(N)$ steg med $N/4$ operation per steg (N är antal punkter i FFT:n).
- En bitseriell arkitektur med delat minne används. En 1024 punkters FFT ska slutföras inom 0,1 ms. Arkitekturen består av två beräkningselement som var och en utför en radix-4 operation på 24 klockcykler och har en klockfrekvens på 125 MHz. Minnena är 24 bitar breda och har en accesstid som är 40 ns. Hur många minnen behövs? (6)