

ASIC

TENTAMEN

TSTE87

Tid: Lördag 17 mars 2007 kl. 14:00–18:00
Time: Saturday March 17 2007, 14:00–18:00

Plats/location: KÅRA

Ansvarig lärare: Oscar Gustafsson, 013-28 40 59, 0768-02 77 97
Responsible teacher:

Hjälpmedel: Räknedosa
Allowed aid: Calculator

Anvisningar: För godkänd tentamen fordras 30 poäng.
Instructions: For passing 30 points are required.

Total points on first question = $\min \{ 10, (\text{oral exam points} + \text{first question points}) \}$

That is, you are free to solve an arbitrary number of the subproblems of question 1. Total points on the first question will never exceed 10.

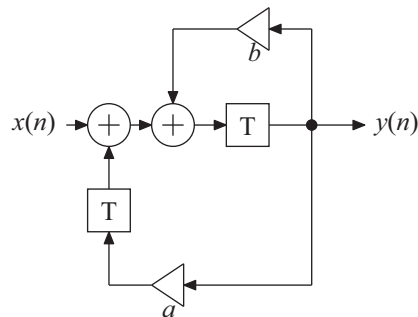
Visning: 3 april 2007 kl. 12:30–13:00 i Nollstället.
Display: April 3 2007, 12:30–13:00 in Nollstället.

Lösningar: Korridor C mellan B25 och B27.
Solutions: Corridor C between B25 and B27.

Betygslista: Anslås senast 30 mars 2007 p s s som ovan.
Grades: Posted at latest March 30 2007 as above.

3. Filtret nedan ska implementeras med en arkitektur som använder delat minne. Beräkningselementen är homogena och non-preemptive. Latencyn är fem tidsenheter för multiplikatorn a , två tidsenheter för multiplikatorn b , och en tidsenhet för adderarna. Exekveringstiden är en tidsenhet för beräkningselementen.

The filter below is to be implemented using a shared memory architecture. The processing elements are homogenous and non-preemptive. The latency is five time units for the multiplier a , two time units for the multiplier b , and one time unit for the adders. The execution time is one time unit for the processing elements.

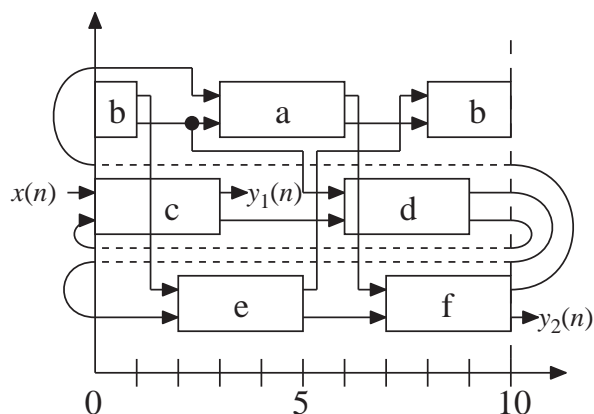


- Beräkna minimala sampelperioden T_{min} .
Determine the minimal sample period T_{min} . (2)
- Beräkna tiden för den kritiska vägen T_{cp} .
Determine the time of the critical path T_{cp} . (2)
- Rita signalflödesgrafan i precedensform.
Draw the signal-flow graph in precedence form. (6)
- Schedulera algoritmen så att $T_{sample} = T_{min}$.
Schedule the algorithm so that $T_{sample} = T_{min}$. (8)
- Vad är den minimala sampelperioden om man utnyttjar aritmetiska transformationer?
What is the minimum sample period given that arithmetic transformations are applied? (2)

4. Ett filter med samma överföringsfunktion som i uppgift 3 skall implementeras med **EN** distribuerad aritmetikenhet och iso-morfisk mappning. Filterkoefficienterna är $a = 0.359375 = 23/64$ och $b = -0.25 = -1/4$.
*A filter with the same transfer function as in problem 3 is to be implemented using **ONE** distributed arithmetic unit and iso-morphic mapping. The filter coefficients are $a = 0.359375 = 23/64$ and $b = -0.25 = -1/4$.*
- a) Beskriv arkitekturen. Använd byggblocken skiftackumulatorer, skiftregister och ROM.
Describe the architecture. Use the building blocks shift accumulators, shift registers, and ROM. (6)
- b) Bestäm innehållet i ROM:et. Beskriv innehållet med lämplig binär representation.
Determine the contents of the ROM. Describe the contents using a suitable binary representation. (4)
- c) Vilken latency har den distribuerade aritmetikenheten?
What is the latency of the distributed arithmetic unit? (2)
- d) Utgående från ett signalflödesschema med en distribuerad aritmetikenhet (bortse alltså från arkitekturen i a)), bestäm den minimala sampelperioden.
Based on a signal flow graph using distributed arithmetic (disregard the architecture in a)), determine the minimal sample period. (2)
- e) Rita ett schema för multiplikatorn med koefficienten a . Uttryck koefficienten i CSD representation. Använd byggblock som heladderare, D-vippor och logiska grindar.
Draw a schematic for the multiplier with the coefficient a . Express the coefficient in CSD representation. Use building blocks such as full adders, D flip-flops, and logic gates. (4)

5. En schemulering för ett antal processer (a–f) visas nedan. Dessa skall implementeras med en delatminnesarkitektur där minnena är av enkel ordlängd och har en skrivport och en läsport. Skrivning och läsning kan ske samtidigt.

A scheduling for a number of processes (a–f) is shown below. These should be implemented using a shared memory architecture where memories are of single wordlength and have one read port and one write port. Reading and writing can be done concurrently.



- a) Partitionera minnesvariablerna mellan ett minimalt antal minnen.
Partition the memory variables between a minimal number of memories. (6)
- b) Tilldela för varje minne minnesvariabler till ett minimalt antal minnesceller.
For each memory, assign memory variables to a minimal number of memory cells. (6)
- c) Antag att processerna skall mappas till homogena beräkningselement. Hur många beräkningselement behövs minst om man får schemulera om? Latency och exekveringstid är samma för processerna.
Assume that the processes are mapped to homogenous processing elements. What is the the minimum number of processing elements given that you may reschedule? The latency and the execution time are identical for the processes. (2)