

ASIC

TENTAMEN

TSTE87

Tid: Lördag 18 mars 2006 kl. 08:00–12:00
Time: Saturday March 18 2006, 08:00–12:00

Plats/location: TER1

Ansvarig lärare: Oscar Gustafsson, 013-28 40 59, 0768-02 77 97
Responsible teacher:

Hjälpmedel: Räknedosa
Allowed aid: Calculator

Anvisningar: För godkänd tentamen fordras 30 poäng.
Instructions: For passing 30 points are required.

Total points on first question = $\min \{ 10, (\text{oral exam points} + \text{first question points}) \}$

That is, you are free to solve an arbitrary number of the subproblems of question 1. Total points on the first question will never exceed 10.

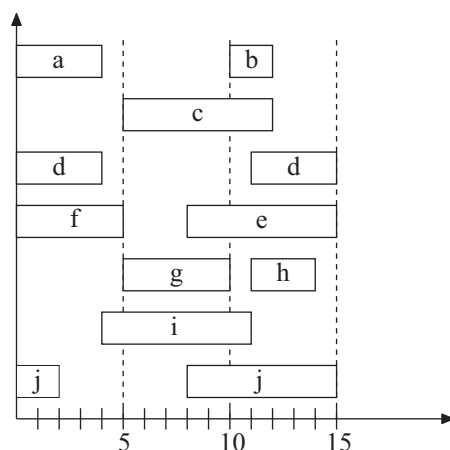
Visning: 31 mars 2006 kl. 12:30–13:00 i Nollstället.
Display: March 31 2006, 12:30–13:00 in Nollstället.

Lösningar: Korridor C mellan B25 och B27.
Solutions: Corridor C between B25 and B27.

Betygslista: Anslås senast 31 mars 2006 p s s som ovan.
Grades: Posted at latest March 31 2006 as above.

1.
 - a) Ange två potentiella nackdelar med scattered och clustered lookahead pipelining?
Name two possible drawbacks of using scattered and clustered lookahead pipelining? (2)
 - b) Hur många bitar är i snitt nollskilda för tvåkomplements- respektive CSD-representation?
How many bits are non-zero on average for two's complement and CSD representation, respectively? (2)
 - c) Hur påverkas effektförbrukningen respektive grindfördröjningen för CMOS kretsar när matningsspänningen varieras? Som V_{DD}^2 , V_{DD} , $V_{DD}^{1/2}$, $1/V_{DD}^{1/2}$, $1/V_{DD}$ eller $1/V_{DD}^2$?
How is the power consumption and gate delay for CMOS circuits affected by varying the power supply voltage, respectively? As V_{DD}^2 , V_{DD} , $V_{DD}^{1/2}$, $1/V_{DD}^{1/2}$, $1/V_{DD}$, or $1/V_{DD}^2$? (2)
 - d) Varför tas det bara hänsyn till de rekursiva delarna av algoritmen när minimala sampelperioden, T_{min} , skall bestämmas?
Why do we only consider the recursive parts of the algorithm when the minimal sample period, T_{min} , is determined? (2)
 - e) Hur kan man omvandla ett tal i signed-digit representation till ett i tvåkomplementsrepresentation?
How can a number in signed-digit representation be converted to one in two's complement representation? (2)

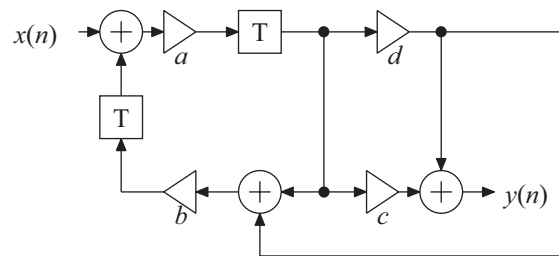
2. Livstidsdiagrammet för ett antal processer visas nedan.
The lifetime graph for a number of processes is shown below.



Utför resursallokering och tilldelning för processerna med vänsterkantsalgoritmen. Antag att processerna får ligga "kant-i-kant".
Perform resource allocation and assignment for the processes using the left edge algorithm. Assume that processes can be placed "edge-to-edge". (6)

3. Filtret nedan ska implementeras med en arkitektur som använder delat minne. Beräkningselementen är av två typer, multiplikatorer och adderare, och var för sig homogena och non-preemptive. Latency är två tidsenheter för multiplikatorerna och en tidsenhet för adderarna. Exekveringstiden är en tidsenhet för båda typerna av beräkningselement.

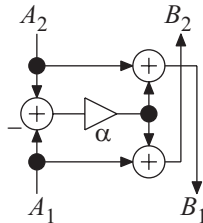
The filter below is to be implemented using a shared memory architecture. The processing elements are of two types, multipliers and adders, each type is homogenous and non-preemptive. The latency is two time units for the multipliers and one time unit for the adders. The execution time is one time unit for both types of processing elements.



- Beräkna minimala sampelperioden T_{min} .
Determine the minimal sample period T_{min} . (4)
- Beräkna tiden för den kritiska vägen T_{cp} .
Determine the time of the critical path T_{cp} . (2)
- Rita signalflödesgrafan i precedensform.
Draw the signal-flow graph in precedence form. (6)
- Schedulera algoritmen så att $T_{sample} = T_{min}$.
Schedule the algorithm so that $T_{sample} = T_{min}$. (8)
- Bestäm det teoretiska antalet multiplikatorer och adderare som behövs för att uppnå $T_{sample} = T_{min}$.
Determine the theoretical number of multipliers and adders required to obtain $T_{sample} = T_{min}$. (2)

4. Nedanstående symmetriska tvåportsadaptor är given och ska användas som ett bit-seriellt beräkningselement. Modell-1-logik ska användas, dvs ett pipelineregister efter varje atomär operation (addition, subtraktion, multiplikation).

The symmetric twoport adaptor below is to be implemented as a bit-serial processing element. Model 1 logic should be used, i.e., one pipelining register after each atomic operation (addition, subtraction, multiplication).



- a) Rita ett schema för detta processelement då koefficienten är -0.875 . Uttryck koefficienten i CSD representation. Använd byggblock som heladderare, D-vippor och logiska grindar.

Draw a schematic for the processing element given that the coefficient is -0.875 . Express the coefficient in CSD representation. Use building blocks such as full adders, D flip-flops, and logic gates. (6)

- b) Bestäm latency och exekveringstid för processelementet vid en dataordlängd på 17 bitar.

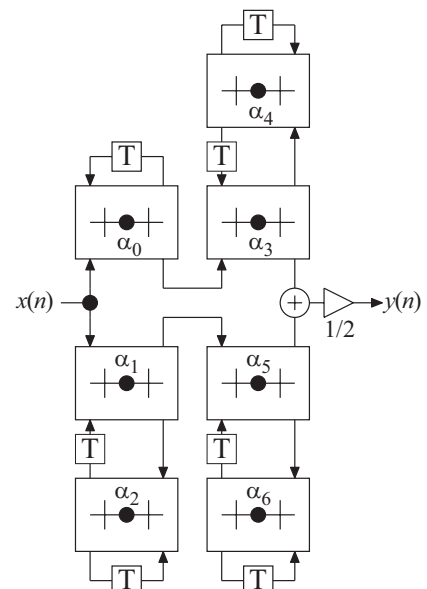
Determine the latency and execution time for the processing element given that the data wordlength is 17 bits. (4)

- c) Går det att göra några ytterligare förbättringar för att få ner processelementets komplexitet? Motivera ditt svar.

Is it possible to further reduce the complexity of the processing element? Motivate your answer. (2)

- d) Antag att ett digitalt lattice vågfilter av ordning sju ska realiseras (enligt nedanstående figur) och att sampelhastigheten är 10 MSample/s. Hur många additioner respektive multiplikationer utförs per sekund? (Multiplikationen med en halv på utgången räknas inte som en multiplikation.)

Assume that a seventh order lattice wave digital filter is to be implemented (as shown in the figure below) and that the sample rate is 10 MSample/s. How many additions and multiplications are performed per second? (The multiplication with a half at the output should not be considered a multiplication.) (4)



5. Ett filter med följande tillståndsrepresentation ska implementeras med distribuerad aritmetik och iso-morfisk mappning.
A filter with the following state-space representation is to be implemented using distributed arithmetic and iso-morphic mapping.

$$\begin{bmatrix} v_1(n+1) \\ v_2(n+1) \\ y(n) \end{bmatrix} = \begin{bmatrix} \frac{7}{64} & -\frac{9}{16} & \frac{31}{32} \\ \frac{31}{512} & -\frac{65}{128} & \frac{3}{4} \\ \frac{7}{8} & \frac{3}{16} & -\frac{3}{8} \end{bmatrix} \begin{bmatrix} v_1(n) \\ v_2(n) \\ x(n) \end{bmatrix}$$

- a) Beskriv arkitekturen. Använd byggblock som skiftackumulatörer, skiftregister, ROM, etc.
Describe the architecture. Use building blocks such as shift accumulators, shift registers, ROM, etc. (6)
- b) Bestäm längden på skiftregister och shimming delay om tiden för ett sampel är 25 klockcykler.
Determine the lengths of the shift registers and the amount of shimming delay if the sample period is 25 clock cycles. (6)
- c) Bestäm innehållet i ROM:et som används för att beräkna $v_1(n+1)$. Beskriv med lämplig binär representation.
Determine the contents of the ROM used to compute $v_1(n+1)$. Describe the contents using a suitable binary representation. (4)

ASIC

TENTAMEN

TSTE87

Tid: Lördag 18 mars 2006 kl. 08:00–12:00
Time: Saturday March 18 2006, 08:00–12:00

Plats/location: TER1

Ansvarig lärare: Oscar Gustafsson, 013-28 40 59, 0768-02 77 97
Responsible teacher:

Hjälpmedel: Räknedosa
Allowed aid: Calculator

Anvisningar: För godkänd tentamen fordras 30 poäng.
Instructions: For passing 30 points are required.

Total points on first question = $\min \{ 10, (\text{oral exam points} + \text{first question points}) \}$

That is, you are free to solve an arbitrary number of the subproblems of question 1. Total points on the first question will never exceed 10.

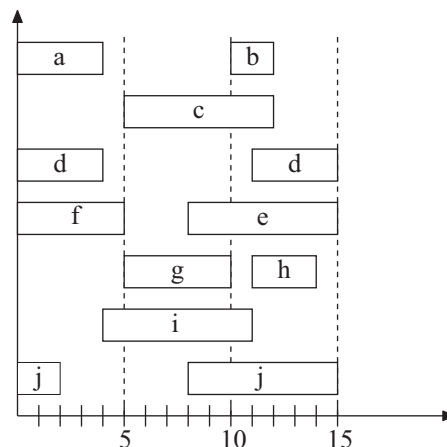
Visning: 31 mars 2006 kl. 12:30–13:00 i Nollstället.
Display: March 31 2006, 12:30–13:00 in Nollstället.

Lösningar: Korridor C mellan B25 och B27.
Solutions: Corridor C between B25 and B27.

Betygslista: Anslås senast 31 mars 2006 p s s som ovan.
Grades: Posted at latest March 31 2006 as above.

1.
 - a) Ange två potentiella nackdelar med scattered och clustered lookahead pipelining?
Name two possible drawbacks of using scattered and clustered lookahead pipelining? (2)
 - b) Hur många bitar är i snitt nollskilda för tvåkomplements- respektive CSD-representation?
How many bits are non-zero on average for two's complement and CSD representation, respectively? (2)
 - c) Hur påverkas effektförbrukningen respektive grindfördröjningen för CMOS kretsar när matningsspänningen varieras? Som V_{DD}^2 , V_{DD} , $V_{DD}^{1/2}$, $1/V_{DD}^{1/2}$, $1/V_{DD}$ eller $1/V_{DD}^2$?
How is the power consumption and gate delay for CMOS circuits affected by varying the power supply voltage, respectively? As V_{DD}^2 , V_{DD} , $V_{DD}^{1/2}$, $1/V_{DD}^{1/2}$, $1/V_{DD}$, or $1/V_{DD}^2$? (2)
 - d) Varför tas det bara hänsyn till de rekursiva delarna av algoritmen när minimala sampelperioden, T_{min} , skall bestämmas?
Why do we only consider the recursive parts of the algorithm when the minimal sample period, T_{min} , is determined? (2)
 - e) Hur kan man omvandla ett tal i signed-digit representation till ett i tvåkomplementsrepresentation?
How can a number in signed-digit representation be converted to one in two's complement representation? (2)

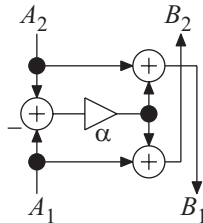
2. Livstidsdiagrammet för ett antal processer visas nedan.
The lifetime graph for a number of processes is shown below.



- Utför resursallokering och tilldelning för processerna med vänsterkantsalgoritmen. Antag att processerna får ligga "kant-i-kant".
Perform resource allocation and assignment for the processes using the left edge algorithm. Assume that processes can be placed "edge-to-edge". (6)

4. Nedanstående symmetriska tvåportsadaptor är given och ska användas som ett bit-seriellt beräkningselement. Modell-1-logik ska användas, dvs ett pipelineregister efter varje atomär operation (addition, subtraktion, multiplikation).

The symmetric twoport adaptor below is to be implemented as a bit-serial processing element. Model 1 logic should be used, i.e., one pipelining register after each atomic operation (addition, subtraction, multiplication).



- a) Rita ett schema för detta processelement då koefficienten är -0.875 . Uttryck koefficienten i CSD representation. Använd byggblock som heladderare, D-vippor och logiska grindar.

Draw a schematic for the processing element given that the coefficient is -0.875 . Express the coefficient in CSD representation. Use building blocks such as full adders, D flip-flops, and logic gates. (6)

- b) Bestäm latency och exekveringstid för processelementet vid en dataordlängd på 17 bitar.

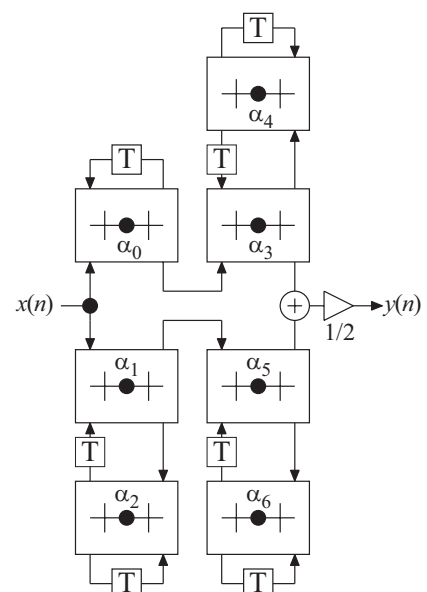
Determine the latency and execution time for the processing element given that the data wordlength is 17 bits. (4)

- c) Går det att göra några ytterligare förbättringar för att få ner processelementets komplexitet? Motivera ditt svar.

Is it possible to further reduce the complexity of the processing element? Motivate your answer. (2)

- d) Antag att ett digitalt lattice vågfilter av ordning sju ska realiseras (enligt nedanstående figur) och att sampelhastigheten är 10 MSample/s. Hur många additioner respektive multiplikationer utförs per sekund? (Multiplikationen med en halv på utgången räknas inte som en multiplikation.)

Assume that a seventh order lattice wave digital filter is to be implemented (as shown in the figure below) and that the sample rate is 10 MSample/s. How many additions and multiplications are performed per second? (The multiplication with a half at the output should not be considered a multiplication.) (4)



5. Ett filter med följande tillståndsrepresentation ska implementeras med distribuerad aritmetik och iso-morfisk mappning.
A filter with the following state-space representation is to be implemented using distributed arithmetic and iso-morphic mapping.

$$\begin{bmatrix} v_1(n+1) \\ v_2(n+1) \\ y(n) \end{bmatrix} = \begin{bmatrix} \frac{7}{64} & -\frac{9}{16} & \frac{31}{32} \\ \frac{31}{512} & -\frac{65}{128} & \frac{3}{4} \\ \frac{7}{8} & \frac{3}{16} & -\frac{3}{8} \end{bmatrix} \begin{bmatrix} v_1(n) \\ v_2(n) \\ x(n) \end{bmatrix}$$

- a) Beskriv arkitekturen. Använd byggblock som skiftackumulatorer, skiftregister, ROM, etc.
Describe the architecture. Use building blocks such as shift accumulators, shift registers, ROM, etc. (6)
- b) Bestäm längden på skiftregister och shimming delay om tiden för ett sampel är 25 klockcykler.
Determine the lengths of the shift registers and the amount of shimming delay if the sample period is 25 clock cycles. (6)
- c) Bestäm innehållet i ROM:et som används för att beräkna $v_1(n+1)$. Beskriv med lämplig binär representation.
Determine the contents of the ROM used to compute $v_1(n+1)$. Describe the contents using a suitable binary representation. (4)

ASIC

TENTAMEN

TSTE87

Tid: Lördag 18 mars 2006 kl. 08:00–12:00
Time: Saturday March 18 2006, 08:00–12:00

Plats/location: TER1

Ansvarig lärare: Oscar Gustafsson, 013-28 40 59, 0768-02 77 97
Responsible teacher:

Hjälpmedel: Räknedosa
Allowed aid: Calculator

Anvisningar: För godkänd tentamen fordras 30 poäng.
Instructions: For passing 30 points are required.

Total points on first question = $\min \{ 10, (\text{oral exam points} + \text{first question points}) \}$

That is, you are free to solve an arbitrary number of the subproblems of question 1. Total points on the first question will never exceed 10.

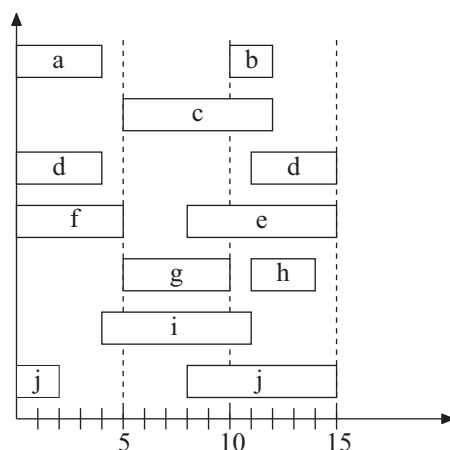
Visning: 31 mars 2006 kl. 12:30–13:00 i Nollstället.
Display: March 31 2006, 12:30–13:00 in Nollstället.

Lösningar: Korridor C mellan B25 och B27.
Solutions: Corridor C between B25 and B27.

Betygslista: Anslås senast 31 mars 2006 p s s som ovan.
Grades: Posted at latest March 31 2006 as above.

1.
 - a) Ange två potentiella nackdelar med scattered och clustered lookahead pipelining?
Name two possible drawbacks of using scattered and clustered lookahead pipelining? (2)
 - b) Hur många bitar är i snitt nollskilda för tvåkomplements- respektive CSD-representation?
How many bits are non-zero on average for two's complement and CSD representation, respectively? (2)
 - c) Hur påverkas effektförbrukningen respektive grindfördröjningen för CMOS kretsar när matningsspänningen varieras? Som V_{DD}^2 , V_{DD} , $V_{DD}^{1/2}$, $1/V_{DD}^{1/2}$, $1/V_{DD}$ eller $1/V_{DD}^2$?
How is the power consumption and gate delay for CMOS circuits affected by varying the power supply voltage, respectively? As V_{DD}^2 , V_{DD} , $V_{DD}^{1/2}$, $1/V_{DD}^{1/2}$, $1/V_{DD}$, or $1/V_{DD}^2$? (2)
 - d) Varför tas det bara hänsyn till de rekursiva delarna av algoritmen när minimala sampelperioden, T_{min} , skall bestämmas?
Why do we only consider the recursive parts of the algorithm when the minimal sample period, T_{min} , is determined? (2)
 - e) Hur kan man omvandla ett tal i signed-digit representation till ett i tvåkomplementsrepresentation?
How can a number in signed-digit representation be converted to one in two's complement representation? (2)

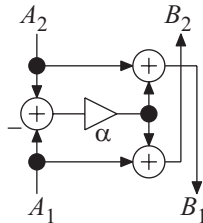
2. Livstidsdiagrammet för ett antal processer visas nedan.
The lifetime graph for a number of processes is shown below.



Utför resursallokering och tilldelning för processerna med vänsterkantsalgoritmen. Antag att processerna får ligga "kant-i-kant".
Perform resource allocation and assignment for the processes using the left edge algorithm. Assume that processes can be placed "edge-to-edge". (6)

4. Nedanstående symmetriska tvåportsadaptor är given och ska användas som ett bit-seriellt beräkningselement. Modell-1-logik ska användas, dvs ett pipelineregister efter varje atomär operation (addition, subtraktion, multiplikation).

The symmetric twoport adaptor below is to be implemented as a bit-serial processing element. Model 1 logic should be used, i.e., one pipelining register after each atomic operation (addition, subtraction, multiplication).



- a) Rita ett schema för detta processelement då koefficienten är -0.875 . Uttryck koefficienten i CSD representation. Använd byggblock som heladderare, D-vippor och logiska grindar.

Draw a schematic for the processing element given that the coefficient is -0.875 . Express the coefficient in CSD representation. Use building blocks such as full adders, D flip-flops, and logic gates. (6)

- b) Bestäm latency och exekveringstid för processelementet vid en dataordlängd på 17 bitar.

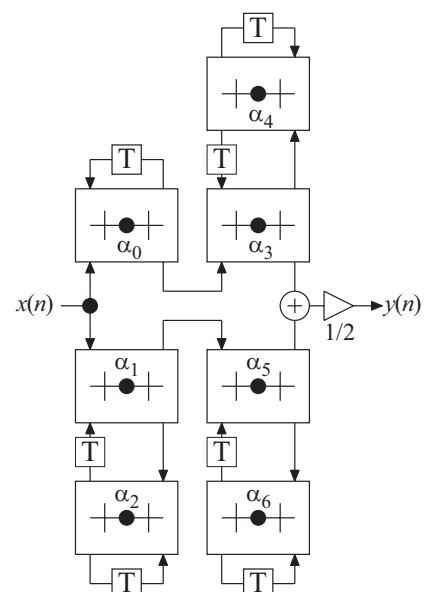
Determine the latency and execution time for the processing element given that the data wordlength is 17 bits. (4)

- c) Går det att göra några ytterligare förbättringar för att få ner processelementets komplexitet? Motivera ditt svar.

Is it possible to further reduce the complexity of the processing element? Motivate your answer. (2)

- d) Antag att ett digitalt lattice vågfilter av ordning sju ska realiseras (enligt nedanstående figur) och att sampelhastigheten är 10 MSample/s. Hur många additioner respektive multiplikationer utförs per sekund? (Multiplikationen med en halv på utgången räknas inte som en multiplikation.)

Assume that a seventh order lattice wave digital filter is to be implemented (as shown in the figure below) and that the sample rate is 10 MSample/s. How many additions and multiplications are performed per second? (The multiplication with a half at the output should not be considered a multiplication.) (4)



5. Ett filter med följande tillståndsrepresentation ska implementeras med distribuerad aritmetik och iso-morfisk mappning.
A filter with the following state-space representation is to be implemented using distributed arithmetic and iso-morphic mapping.

$$\begin{bmatrix} v_1(n+1) \\ v_2(n+1) \\ y(n) \end{bmatrix} = \begin{bmatrix} \frac{7}{64} & -\frac{9}{16} & \frac{31}{32} \\ \frac{31}{512} & -\frac{65}{128} & \frac{3}{4} \\ \frac{7}{8} & \frac{3}{16} & -\frac{3}{8} \end{bmatrix} \begin{bmatrix} v_1(n) \\ v_2(n) \\ x(n) \end{bmatrix}$$

- a) Beskriv arkitekturen. Använd byggblock som skiftackumulatörer, skiftregister, ROM, etc.
Describe the architecture. Use building blocks such as shift accumulators, shift registers, ROM, etc. (6)
- b) Bestäm längden på skiftregister och shimming delay om tiden för ett sampel är 25 klockcykler.
Determine the lengths of the shift registers and the amount of shimming delay if the sample period is 25 clock cycles. (6)
- c) Bestäm innehållet i ROM:et som används för att beräkna $v_1(n+1)$. Beskriv med lämplig binär representation.
Determine the contents of the ROM used to compute $v_1(n+1)$. Describe the contents using a suitable binary representation. (4)

ASIC

TENTAMEN

TSTE87

Tid: Lördag 18 mars 2006 kl. 08:00–12:00
Time: Saturday March 18 2006, 08:00–12:00

Plats/location: TER1

Ansvarig lärare: Oscar Gustafsson, 013-28 40 59, 0768-02 77 97
Responsible teacher:

Hjälpmedel: Räknedosa
Allowed aid: Calculator

Anvisningar: För godkänd tentamen fordras 30 poäng.
Instructions: For passing 30 points are required.

Total points on first question = $\min \{ 10, (\text{oral exam points} + \text{first question points}) \}$

That is, you are free to solve an arbitrary number of the subproblems of question 1. Total points on the first question will never exceed 10.

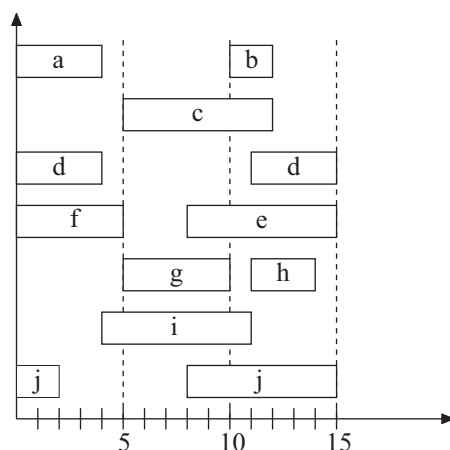
Visning: 31 mars 2006 kl. 12:30–13:00 i Nollstället.
Display: March 31 2006, 12:30–13:00 in Nollstället.

Lösningar: Korridor C mellan B25 och B27.
Solutions: Corridor C between B25 and B27.

Betygslista: Anslås senast 31 mars 2006 p s s som ovan.
Grades: Posted at latest March 31 2006 as above.

1.
 - a) Ange två potentiella nackdelar med scattered och clustered lookahead pipelining?
Name two possible drawbacks of using scattered and clustered lookahead pipelining? (2)
 - b) Hur många bitar är i snitt nollskilda för tvåkomplements- respektive CSD-representation?
How many bits are non-zero on average for two's complement and CSD representation, respectively? (2)
 - c) Hur påverkas effektförbrukningen respektive grindfördröjningen för CMOS kretsar när matningsspänningen varieras? Som V_{DD}^2 , V_{DD} , $V_{DD}^{1/2}$, $1/V_{DD}^{1/2}$, $1/V_{DD}$ eller $1/V_{DD}^2$?
How is the power consumption and gate delay for CMOS circuits affected by varying the power supply voltage, respectively? As V_{DD}^2 , V_{DD} , $V_{DD}^{1/2}$, $1/V_{DD}^{1/2}$, $1/V_{DD}$, or $1/V_{DD}^2$? (2)
 - d) Varför tas det bara hänsyn till de rekursiva delarna av algoritmen när minimala sampelperioden, T_{min} , skall bestämmas?
Why do we only consider the recursive parts of the algorithm when the minimal sample period, T_{min} , is determined? (2)
 - e) Hur kan man omvandla ett tal i signed-digit representation till ett i tvåkomplementsrepresentation?
How can a number in signed-digit representation be converted to one in two's complement representation? (2)

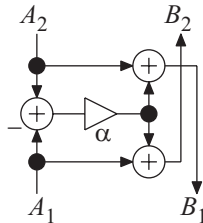
2. Livstidsdiagrammet för ett antal processer visas nedan.
The lifetime graph for a number of processes is shown below.



- Utför resursallokering och tilldelning för processerna med vänsterkantsalgoritmen. Antag att processerna får ligga "kant-i-kant".
Perform resource allocation and assignment for the processes using the left edge algorithm. Assume that processes can be placed "edge-to-edge". (6)

4. Nedanstående symmetriska tvåportsadaptor är given och ska användas som ett bit-seriellt beräkningselement. Modell-1-logik ska användas, dvs ett pipelineregister efter varje atomär operation (addition, subtraktion, multiplikation).

The symmetric twoport adaptor below is to be implemented as a bit-serial processing element. Model 1 logic should be used, i.e., one pipelining register after each atomic operation (addition, subtraction, multiplication).



- a) Rita ett schema för detta processelement då koefficienten är -0.875 . Uttryck koefficienten i CSD representation. Använd byggblock som heladderare, D-vippor och logiska grindar.

Draw a schematic for the processing element given that the coefficient is -0.875 . Express the coefficient in CSD representation. Use building blocks such as full adders, D flip-flops, and logic gates. (6)

- b) Bestäm latency och exekveringstid för processelementet vid en dataordlängd på 17 bitar.

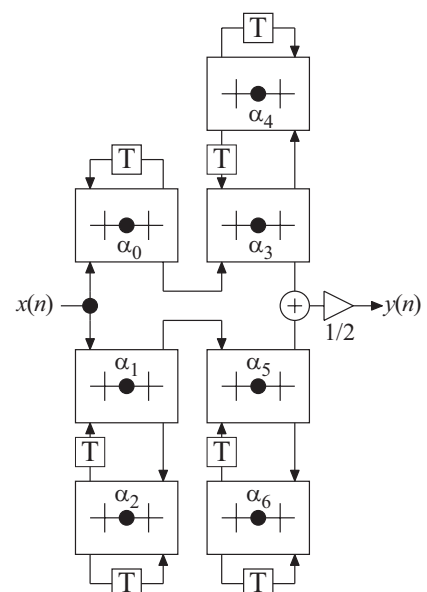
Determine the latency and execution time for the processing element given that the data wordlength is 17 bits. (4)

- c) Går det att göra några ytterligare förbättringar för att få ner processelementets komplexitet? Motivera ditt svar.

Is it possible to further reduce the complexity of the processing element? Motivate your answer. (2)

- d) Antag att ett digitalt lattice vågfilter av ordning sju ska realiseras (enligt nedanstående figur) och att sampelhastigheten är 10 MSample/s. Hur många additioner respektive multiplikationer utförs per sekund? (Multiplikationen med en halv på utgången räknas inte som en multiplikation.)

Assume that a seventh order lattice wave digital filter is to be implemented (as shown in the figure below) and that the sample rate is 10 MSample/s. How many additions and multiplications are performed per second? (The multiplication with a half at the output should not be considered a multiplication.) (4)



5. Ett filter med följande tillståndsrepresentation ska implementeras med distribuerad aritmetik och iso-morfisk mappning.
A filter with the following state-space representation is to be implemented using distributed arithmetic and iso-morphic mapping.

$$\begin{bmatrix} v_1(n+1) \\ v_2(n+1) \\ y(n) \end{bmatrix} = \begin{bmatrix} \frac{7}{64} & -\frac{9}{16} & \frac{31}{32} \\ \frac{31}{512} & -\frac{65}{128} & \frac{3}{4} \\ \frac{7}{8} & \frac{3}{16} & -\frac{3}{8} \end{bmatrix} \begin{bmatrix} v_1(n) \\ v_2(n) \\ x(n) \end{bmatrix}$$

- a) Beskriv arkitekturen. Använd byggblock som skiftackumulatörer, skiftregister, ROM, etc.
Describe the architecture. Use building blocks such as shift accumulators, shift registers, ROM, etc. (6)
- b) Bestäm längden på skiftregister och shimming delay om tiden för ett sampel är 25 klockcykler.
Determine the lengths of the shift registers and the amount of shimming delay if the sample period is 25 clock cycles. (6)
- c) Bestäm innehållet i ROM:et som används för att beräkna $v_1(n+1)$. Beskriv med lämplig binär representation.
Determine the contents of the ROM used to compute $v_1(n+1)$. Describe the contents using a suitable binary representation. (4)