

# Applikationsspecifika Integrerade kretsar

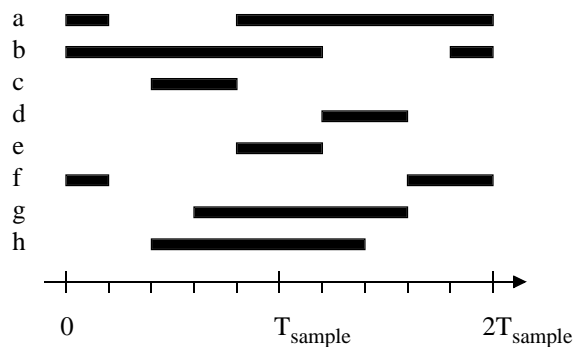
## Tentamen

TSSTE81

för Y4, D4 och TE

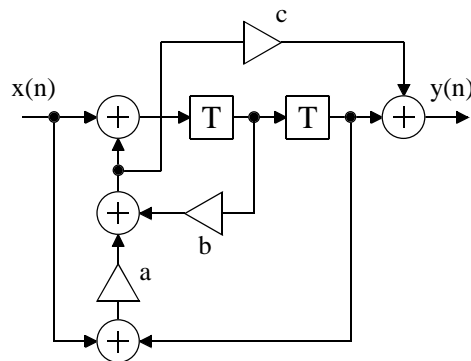
- Tid: Onsdag 23 Augusti 2000 kl. 14.00 - 18.00
- Plats: Kårallen
- Ansvarig lärare: Kent Palmkvist, 281347, 0708917839
- Hjälpmedel: Räknedosa, Formelsamling i Aktiva och Tidsdiskreta filter, Formelsamling i kretsteori samt allmänna tabellverk.
- Anvisningar: För godkänd tentamen fordras ca 30 poäng.  
OBS: Poäng på muntlig deltentamen från våren 2000 tillgodoräknas automatiskt på uppgift 1. Max poäng på uppgift 1 är 10, oberoende av hur många poäng som erhållits på muntlig deltentamen.
- Visning: Onsdag 6 September 2000 kl. 13.00-14.00  
(Kent Palmkvists tjänsterum)
- Lösningar: Anslås på Systemtekniks anslagstavla i labkorridoren
- Betygslista: Anslås senast 2000-09-05 på anslagstavlan i labkorridoren

1.
  - a) Kan en schemulering behöva fler beräkningselement än det finns operationer i signalflödesgraf? Motivera ditt svar.  
*Is it possible that a schedule requires more processing elements than there are operations in the signal-flow graph? Motivate your answer.* (2)
  - b) Namnge två metoder för att öka datahastigheten i en generell tillståndsmaskin.  
*Name two methods that increases the data rate through a generic finite state machine.* (2)
  - c) Måste  $T_{min}$  (beskrivet i klockcykler) för bitseriella rekursiva algoritmer vara ett heltal? Varför/varför inte?  
*Must  $T_{min}$  (measured in clock cycles) of an bitserial recursive algorithms be an integer? Why/why not?* (2)
  - d) Är CSDC en redundant nummerrepresentation?  
*Is CSDC a redundant number system?* (2)
  - e) Ange två metoder för att skapa en layout av en krets.  
*Name two approaches to create a integrated circuit layout of a design.* (2)
  
2. Variablerna i livstidsdiagrammet nedan skall lagras i ett minne. Antag att variabler kan placeras "kant till kant" i en minnescell.  
*The variables in the lifetime diagram below is to be stored in a memory. Assume that variables can be placed edge-to-edge in a memory cell.*
  - a) Allokera och tilldela minnesceller med hjälp av clique partitionering.  
*Allocate and assign memory cells using clique partitioning.* (6)
  - b) Använd left-edge algoritmen för allokering och tilldelning av minnesceller. Beskriv de olika stegen i algoritmen.  
*Use the left-edge algorithm to allocate and assign memory cells. Describe the steps of the algorithm.* (6)



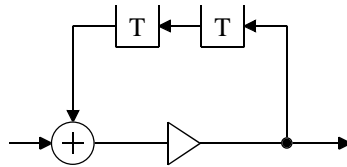
3. Filtret nedan skall implementeras som ett program i en DSP processor.  
*The filter below is to be implemented as a program in a DSP processor.*

- a) Rita signalflödesgrafan i precedensform.  
*Draw the signal-flow graph in its precedence form.* (6)
- b) Beskriv differensekvationerna i beräkningsbar ordning.  
*Write down the set of difference equations in computable order.* (4)
- c) Förenkla differensekvationerna.  
*Simplify the difference equations.* (4)



4. Filtret ovan skall implementeras med en isomorfisk mappning till bitseriella beräkningselement. Koefficienterna är  $a = 0.25$ ,  $b = -0.375$ ,  $c = 0.875$ . Latency är av typ model 1, dvs alla operationer avslutas med en D-vippa. Klockfrekvensen är 150 MHz och sampelfrekvensen är 10 Msampel/s.  
*The filter above is to be implemented using an isomorphic mapping to bit-serial processing elements. The coefficients are  $a=0.25$ ,  $b=-0.375$ ,  $c=0.875$ . The latency model is type 1, that is, every operation is terminated using a flip-flop. The clock frequency is 150 MHz, and the sample rate is 10 Msamples/s.*

- a) Beräkna latency hos de tre multiplikationerna.  
*Compute the latency for each of the three multiplications.* (4)
- b) Introducera shimming delay.  
*Introduce shimming delay.* (8)



5. Filtret ovan skall implementeras med tidsdelade icke-homogena beräkningselement som är "non-preemptive". Addition tar 1 klockcykel och multiplikationen tar 4 klockcykler. Klockfrekvensen är 70 MHz.

*The filter above is to be implemented using time-shared non-homogenous processing elements that are non-preemptive. Addition requires 1 clock cycle and multiplication requires 4 clock cycles. The clock frequency is 70 MHz.*

- a) Beräkna maximal sampelfrekvens.  
*Compute the maximal sample frequency.* (4)

- b) Schemulera filtret så sampelfrekvensen blir maximal (samplerperiod =  $T_{min}$ ).  
*Schedule the filter such that the sample frequency is maximized (sample period equal to  $T_{min}$ )* (8)

6. Ett subproblem i en design består av beräkandet av uttrycket  $y = 0.25x_1 - 0.375x_2 + 0.875x_3$ . Denna beräkning implementeras som en bitseriell enhet med hjälp av distribuerad aritmetik. Skiftackumulator av carry-save typ skall användas.

*A subproblem in a design consists of computing the expression  $y = 0.25x_1 - 0.375x_2 + 0.875x_3$ . This computation will be implemented as a bit-serial unit using distributed arithmetic. Shift accumulator should use carry-save adders.*

- a) Rita strukturen för implementeringen inklusive skift-ackumulatorm. Använd byggblock som fulladderare, ROM och grundläggande logiska grindar och vippor. Beskriv även kontrollsignalerna.  
*Draw the structure for the implementation including the shift-accumulator. Use building blocks such as full adders, ROMs and fundamental logic gates and flip-flops. Describe also the control signals.* (6)

- b) Beräkna innehållet i ROM.  
*Compute the contents of the ROM.* (4)