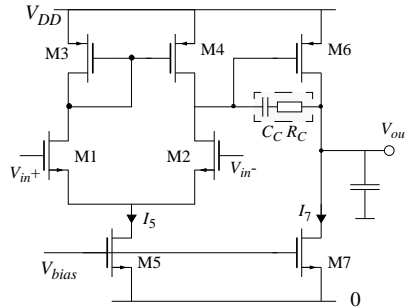


Kokboksrecept—Operationsförstärkare



Allmänt gäller att C_I är kapacitanserna på utgången till första steget (differentialsteget) och C_{II} är kapacitanserna på utgången. Ofta gäller att $C_{II} \approx C_L$ samt att $C_C \gg C_I$.

Uppenbarligen gäller också att $I_3 = I_5/2$.

Gain-bandwidth product är lika med $GB = \omega_u$. (OBS! [rad/s])

Design består i ett antal punkter:

1. Välj den kanallängd, L , som kan användas för att ge konstant kanallängdsmodulation och som möjliggör god matchning och bra layout. Typiska värden ligger i storleksordningen 1.5-5 gånger den minimala längd som processen tillåter.

2. Välj det minsta värdet på Millerkompenseringskapacitansen för att garantera en given fasmarginal, ϕ_m , (värdet fås ur kompenserings Tabellen):

$$C_C > \frac{X_\phi(\phi_m)}{X_z} \cdot C_L \quad (\text{ofta } X_z = 10, \text{ dvs } C_C > 0.1 \cdot X_\phi(\phi_m) \cdot C_L)$$

3. Bestäm det minsta värdet på strömmen genom differentialsteget, I_5 , genom att betrakta specifikationen på slew rate, SR, eller settlingtid, T_s . Välj den största *undre gränsen* på I_5 enligt:

$$I_5 = \max \left\{ SR \cdot C_C, \frac{V_{DD}}{2 \cdot T_s} \cdot X_z \cdot C_C \right\}$$

4. Bestäm storlekarna på transistorerna M3 och M4 genom att utnyttja maximalt tillåtna insignal ($CMR = [v_{in, lo}, v_{in, hi}]$):

$$v_{in, hi} = V_{DD} - V_{SG3} - V_{DS1, sat} + V_{GS1} = V_{DD} - \sqrt{\frac{2(I_5/2)}{\beta_3}} - V_{T3} + V_{T1} \Rightarrow$$

$$S_3 = S_4 = \frac{I_5}{K'_3 [V_{DD} - V_{in, hi} - V_{T3} + V_{T1}]^2} \geq 1$$

Transistorernas storleksförhållanden bör vara större än ett.

5. Se till att den pol som M3 orsakar (som uppkommer på grund av kapacitanserna $C_{gs3} = C_{gs4} = (2/3) \cdot W_3 L_3 \cdot C_{ox}$) inte är dominant. Detta kan göras genom att låta den polen anta ett värde som är till exempel mer än 10 gånger större än unity gain bandwidth, GB:

$$\frac{g_{m3}}{C_{gs3} + C_{gs4}} = \frac{g_{m3}}{2C_{gs3}} > 10GB$$

6. Bestäm storlekarna på transistorerna M1 och M2 genom att utnyttja specifikationen på gain bandwidth:

$$g_{m2} = \sqrt{2\beta_2 \cdot (I_5/2)} = GB \cdot C_C$$

vilket ger att

$$S_1 = S_2 = \frac{g_{m2}^2}{K'_2 I_5} = \frac{(GB \cdot C_C)^2}{K'_2 I_5}$$

7. Bestäm storleken på transistor M5 genom att utnyttja specifikationen på minimalt tillåtna insignal ($CMR = [v_{in, lo}, v_{in, hi}]$):

$$v_{in, lo} = V_{DS5, sat} + V_{GS1} = V_{DS5, sat} + V_{DS1, sat} + V_{T1}$$

ger att

$$V_{DS5, sat} = v_{in, lo} - \sqrt{I_5/\beta_1} - V_{T1} \geq 0.1 \sim 0.3V$$

och därmed fås

$$S_5 = \frac{2I_5}{K'_5 \cdot V_{DS5, sat}^2}$$

8. Bestäm storleken på transistor M6 genom att låta den polen p_2 vara $X_\phi(\phi_m)$ gånger större än unity gain bandwidth, GB. Antag att $V_{SD6} = V_{DD} - v_{out, hi} = V_{SD6, sat}$ dvs låt V_{SD6} anta sitt minsta tillåtna värde enligt kravet på output range (OR) = $[v_{out, lo}, v_{out, hi}]$.

$$g_{m6} = \sqrt{2\beta_6 I_6} = X_\phi(\phi_m) \cdot C_L \cdot GB = X_\phi(\phi_m) \cdot g_{m2} \cdot \frac{C_L}{C_C}$$

ger att

$$S_6 = \frac{g_{m6}}{K'_6 V_{SD6, sat}} = \frac{X_\phi(\phi_m) \cdot GB \cdot C_L}{K'_6 \cdot (V_{DD} - v_{out, hi})}$$

9. Beräkna strömmen I_6 genom att välja mellan två metoder. Justera storleken på transistor M6 om detta är nödvändigt. Välj den ström som är maximal.

$$\text{Metod 1: } I_6 = \frac{g_{m6}^2}{2K'_6 S_6} \quad \text{eller metod 2: } I_6 = \frac{S_6}{S_3} \cdot I_1$$

10. Bestäm storleken på transistor M7 genom att använda speglingen mellan strömmarna I_5 och $I_7 = I_6$:

$$\frac{I_5}{S_5} = \frac{I_7}{S_7} = V_{bias}^2 \text{ ger att } S_7 = S_5 \cdot \frac{I_7}{I_5}$$



11. För att undvika "systematic offset" så justeras/kontrolleras storlekarna så att

$$I_6 = I_7 \text{ och därmed } \frac{S_6}{S_3} = 2 \cdot \frac{S_7}{S_5}$$

Jämför metod 2 i punkt 9.

12. Kontrollera att kraven på effektförbrukning och förstärkning uppfylls. Tänk på att g_{m6} nu kan ha ändrats på grund av punkt 9 och är inte längre $g_{m6} = X_{\phi}(\phi_m) \cdot GB$:

$$P_{diss} = (I_5 + I_6) \cdot V_{DD} \text{ (här bör även biaskrets räknas in)}$$

$$A_v = \frac{g_{m2}}{g_{ds2} + g_{ds3}} \cdot \frac{g_{m6}}{g_{sd6} + g_{ds7}} \approx \frac{2g_{m2}g_{m6}}{I_5(\lambda_2 + \lambda_3)I_6(\lambda_6 + \lambda_7)}$$

13. Om kravet på förstärkningen inte kan uppfyllas så kan strömmarna I_5 och I_6 göras mindre eller öka $S_2 = S_3$ och/eller S_6 . Om kravet på effektförbrukning inte kan uppfyllas så måste strömmarna I_5 och I_6 minskas. Se även tabellen nedan. Efter dessa justeringar måste punkterna ovan göras om.

Öka värden	I_5	I_7	W_1/L_1	L_1	W_7/L_7	L_7	C_c	R_c
Förstärkning	↓	↓	↑	↑	↑	↑		
ω_{ut}	↑		↑				↓	
z_1		↑			↑		↓	↓
SR	↑	↑					↓	
C_L							↑	

14. Simulera och kontrollera att kretsen beter sig enligt specifikation. Notera framförallt att receptet ger bara riktvärden och att man nu måste lämna resten av designen till simulatören. Observera framförallt att kretsen kan vara väldigt känslig för val av dc punkt och biasspänningar.

Kompenseringsstabell

Kompensering	Miller	Nulling resistor	Feedback buffer	
Specifika samband mellan poler och nollställen	$z_1 = \frac{g_{m6}}{C_c} p_2 = \frac{g_{m6}}{C_{II}}$	$p_1 = \frac{1}{C_c(1/g_{m6} - R_z)} p_2 = -\frac{g_{m6}}{C_{II}} p_3 = -\frac{1}{R_z C_I}$	$z_2 = \frac{1}{R_c C_c} z_2 = \frac{g_{m6} C_c}{C_{II}(C_I + C_c)} p_3 = \frac{C_I + C_c}{R_c C_I C_c}$	
	$R_z = 0$	$z_z = \frac{1}{g_{m6}} \left(1 + \frac{C_{II}}{C_c}\right)$	$R_z = \frac{1}{g_{m6}}$	Nytt nollställe, z_2 , genereras
Placering av nollställen	$z_1 = X_z GB$ (ofta $X_z = 10$)	$z_1(VHP) = p_2$	z_1 är eliminerat	
Kvarvarande poler och nollställen	$p_1, p_2, z_1(HHP)$	p_1, p_3	p_1, p_2, p_3	p_1, p_2
			$p_3 \approx 10GB$	$z_2, p_3 \approx 10GB$
$X_{\phi}(\phi_m = 45^\circ)$	1.22		1.0	
$X_{\phi}(\phi_m = 60^\circ)$	2.2		1.73	
Placering av p_2	$X_{\phi}(\phi_m)GB$			
Generella samband	$p_1 = -\frac{1}{g_{m6} R_I R_{II} C_c} GB = \frac{g_{m2}}{C_c} - L = C_{II} \gg C_I < C_c$ C_I är förknippad med kapacitans på utoden från differentialsteget. C_{II} är förknippad med alla kapacitans på OP:ns utgång.			