

Lektion 1

Uppgifter (Lektion): 3.4 3.6 3.3 3.7

Uppgifter (Rek.): 3.1 3.2 Allen 3.9

Teoretiska moment: PN-övergång, Aktiva och passiva komponenter, PMOS, NMOS, CMOS, Resistor, Kondensator, Småsignalparametrar

Teori

Aktiva och passiva komponenter - populistisk beskrivning

PN-övergång

PN-övergången består av två olika dopade halvledare. Den positivt dopade består av N_A acceptorer (acceptors) och den negativa av N_D donatorer (donators).

När de två dopade halvledarna sätts samman kommer överflödiga laddningar att röra sig mellan de olika materialen och slutligen ge upphov till en elektrisk jämvikt. Vid denna jämvikt uppstår ett så kallat utarmningsområde (depletion region), $x_d = x_n = x_p$, i vilket fixa atomer med positiv eller negativ laddning befinner sig, strömmen i_D och spänningen v_D är lika med noll. Laddningen i den N-dopade halvledaren är positiv och negativ i den P-dopade. Laddningskoncentrationen i de båda halvledarna kan skrivas som $\rho_A = -qN_A$ respektive $\rho_D = qN_D$. Med hjälp av elektricitetslära så kan det elektriska fältet över PN-övergången beräknas enligt:

$$\frac{dE}{dx} = \frac{\rho}{\epsilon} \Rightarrow E(x) = \int_{-\infty}^x \frac{\rho(s)}{\epsilon} ds$$

Med hjälp av detta samband så fås att det elektriska fältet i skärningspunkten blir:

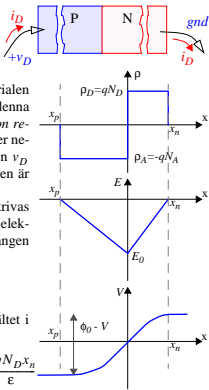
$$E_0 = E(0) = \int_{x_p}^0 \frac{\rho_A}{\epsilon} ds = \int_0^{x_n} \frac{\rho_D}{\epsilon} ds = \frac{qN_A x_p}{\epsilon} = -\frac{qN_D x_n}{\epsilon}$$

Potentialen i PN-övergången kan beräknas enligt:

$$E = -\frac{dV}{dx} \Rightarrow V(x) = \int_{-\infty}^x E(s) ds = \frac{1}{\epsilon} \int_{-\infty}^x \rho(s) \sigma ds$$

Den så kallade barrier potential definieras enligt

$$V(x_n) - V(x_p) = \phi_0 = \frac{kT}{q} \ln\left(\frac{N_A N_D}{n_i^2}\right)$$



(ungefärliga värden är $\phi_0 = 0.7$ V för kiselioder och $\phi_0 = 0.3$ V för germaniumioder)

Bredden på utarmningszonen kan beskrivas av

$$x_n = \left[\frac{2\epsilon_{si}(\phi_0 - v_D)N_A}{qN_D(N_A + N_D)} \right]^{1/2} \text{ och } x_p = \left[\frac{2\epsilon_{si}(\phi_0 - v_D)N_D}{qN_A(N_A + N_D)} \right]^{1/2}$$

Om dessa gränsvärden används i integrationen för att få fram E_0 så fås:

$$E_0 = \left[\frac{2qN_A N_D (\phi_0 - v_D)}{\epsilon_{si}(N_A + N_D)} \right]^{1/2}$$

Det kan inses att det maximala elektriska fältet E_{max} måste vara $E_{max} = E_0$, v_D kan lösas ut:

$$-v_D = \frac{\epsilon_{si}(N_A + N_D)}{2qN_A N_D} E_0^2 - \phi_0$$

Den maximala backspänningen (v_j är negativ) $-BV = v_{D,min} < 0$ (breakdown voltage) som kan appliceras på övergången innan den "överstyrts" ges av det maximala fältet:

$$v_{D,min} = -BV = \frac{\epsilon_{si}(N_A + N_D)}{2qN_A N_D} E_{max}^2 - \phi_0 = \frac{\epsilon_{si}(N_A + N_D)}{2qN_A N_D} E_0^2$$

Detta fenomen uppkommer på grund av två effekter: **Lavineffekt** och **Zener-effekt**.

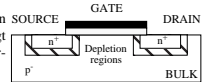
Vid förekomsten av laddning och elektriskt fält kan vi en kapacitans över PN-övergången definieras, depletion layer capacitance beräknas till:

$$C_j = \frac{dQ}{dv_D} = \frac{d}{dv_D} A \left[\frac{2\epsilon_{si}qN_A N_D (\phi_0 - v_D)}{N_A + N_D} \right]^{1/2} = \frac{C_{j0}}{\sqrt{1 - v_D/\phi_0}}$$

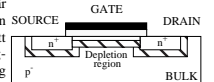
PMOS, NMOS, CMOS - transistor

NMOS-transistor - kort beskrivning

Grundprincip bakom funktionen. Substratet eller bulken är svagt p-dopad. Source och drain på transistor är kraftigt n-dopade. På detta sätt uppstår i jämvikt två PN-övergångar mellan source och bulk respektive drain och bulk.



Om en spänning läggs mellan gate och source, V_{GS} , som är större än en viss tröskelspänning V_T så har laddningen mellan gate och bulk blivit så pass stor att det uppstår ett skikt under gaten som kan ses som n-dopad. (Plusladdningar samlas på gaten och ger upphov till en kapacitiv koppling mellan gate och bulk. Positiva laddningar under gaten repelleras.) På så sätt uppstår en kanal (n-dopad) mellan source och drain. Genom kanalen kan laddningar fritt flyta och därmed en ström genom transistor. Djupet på kanalen ges bland annat av spänningen mellan gate och source. Kanalen är avsmalnande från drain till source, styrkan med vilken kanalen smalnar av är beroende av spänningen mellan drain och source och den så kallade kanallängdsmodulationen λ .



Resistorer implementerade med halvledare

Diffused resistor, source/drain diffusion används som resistans. Parasitkapacitanserna som uppstår vid denna typ av resistor är dock spänningsberoende. I övrigt låg resistivitet.

Polysilicon resistor, polykiselagret används som ledare med viss resistivitet. Denna typ är parasitkänslig och parasitkapacitanserna är spänningsberoende.

Ion-implanted resistor, skapas genom extra steg i tillverkningsprocessen, dopning av materialet. Parasitkapacitanserna är spänningsberoende.

P-well resistor, resistansen bildas genom att använda ett stycke med p-well, dvs p-dopad material i substratet. Hög resistivitet. Samma princip för n-well resistor.

Pinched resistor, samma princip som för p-well resistor, men där ett parti med n-dopad material läggs i p-wellen. Ännu högre resistivitet.

Kondensatorer implementerade med halvledare

En grundtyp av kondensator kan skapas genom att lägga ett ledande lager på ett kraftigt dopat kiselager. Som dielektrikum använd kiseloxid. Ett exempel är polysilicon-oxide-channel. Kondensatorn uppstår genom kapacitiv koppling mellan polykiselgaten och kanalen till source/drain. Kapacitansen bestäms av dielektrikum (gateoxid) och dopningen av materialet under gaten.

En annan typ skapas genom att lägga två ledande lager över varandra (metall eller polykisel) med kiseloxid mellan. Ett exempel är polysilicon-oxide-polysilicon, där de två polylagren skiljs åt med kiseloxid som dielektrikum. Fördelen med denna typen av kondensator är att den har nästan spänningsberoende parasitkapacitanser, men tekniken kräver dock att man har två stycken olika polykiselager.

I båda fallen är det en form av plattkondensator.

Transistor, signalmässig beskrivning

Modeller, storsignal

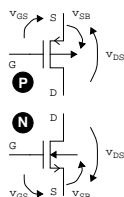
Subthreshold region, Cut-off region, Transistor är avstängd, dvs drainströmmen $I_D = 0$. Gate-sourcespänningen är lägre än tröskelspänningen: $V_{GS} < V_T$. I detta område så beskrivs drainströmmen enligt

$$I_D = \frac{W}{L} I_{D0} e^{\frac{qV_{GS}}{nkT}} = 0$$

Linear region, transistor arbetar i sitt linjära område.

Gate-source-spänningen är högre än tröskelspänningen: $V_{GS} > V_T$. Samt att $0 < V_{DS} < V_{GS} - V_T$ gäller. Detta ger strömmen:

$$I_D = \frac{\mu_0 C_{ox}}{2} \cdot \frac{W}{L} (2(V_{GS} - V_T) - V_{DS})V_{DS}(1 + \lambda V_{DS})$$



Saturation region

Gate-source-spänningen är högre än tröskelspänningen och $0 < V_{GS} - V_T < V_{DS}$. Vilket ger:

$$I_D = \frac{\mu_0 C_{ox}}{2} \cdot \frac{W}{L} \cdot (V_{GS} - V_T)^2 (1 + \lambda V_{DS})$$

Threshold voltage, tröskelspänningen, V_T :

$$V_T = V_{T0} + \gamma(\sqrt{2|\phi_F|} + V_{SB} - \sqrt{2|\phi_F|})$$

En transistor av enhancement mode har en positiv tröskelspänning (NMOS) för en depletion mode transistor så kan tröskelspänningen göras negativ. Detta kan vara användbart om man vill sätta $V_{GS} = 0$, (betrakta småsignalscheman i andra lektioner).

Andra notationer:

$$K' = \mu_0 C_{ox} \quad S = W/L \quad \beta = K'S = \mu_0 C_{ox}(W/L)$$

En funktion $r(V_1, V_2)$ definieras som $r(V_{GS} - V_T, V_{DS}) = \begin{cases} 0 & \text{då } V_{GS} - V_T < 0 \\ 1 & \text{då } 0 < V_{GS} - V_T < V_{DS} - V_T \\ 0 & \text{då } 0 < V_{GS} - V_T < V_{DS} \end{cases}$

vilket gör att I_D kan skrivas som:

$$I_D = \frac{\beta}{2} (1 + \lambda V_{DS}) [(V_{GS} - V_T)^2 - (V_{GS} - V_T - V_{DS})^2] r(V_{GS} - V_T, V_{DS})$$

Modeller, småsignal

För linjära området kan småsignalparametrarna beräknas till (se även extrablad om småsignalparametrar):

$$g_{m, Lin} = \left. \frac{\partial I_D}{\partial v_{GS}} \right|_Q = \beta V_{DS} (1 + \lambda V_{DS})$$

$$g_{mbs, Lin} = \left. \frac{\partial I_D}{\partial v_{BS}} \right|_Q = -\frac{\partial I_D}{\partial v_T} \frac{\partial v_T}{\partial v_{BS}} \Big|_Q = \frac{\partial I_D}{\partial v_{GS}} \frac{\partial v_T}{\partial v_{BS}} \Big|_Q = g_m \frac{\gamma}{2\sqrt{2|\phi_F|} + V_{SB}}$$

$$g_{ds, Lin} = \left. \frac{\partial I_D}{\partial v_{DS}} \right|_Q = \beta (V_{GS} - V_T - V_{DS}) (1 + \lambda V_{DS}) + \frac{I_D \lambda}{1 + \lambda V_{DS}}$$

För det mättrade området kan småsignalparametrarna beräknas till:

$$g_{m, \text{Sat}} = \sqrt{2\beta} I_D (1 + \lambda V_{DS}) = \frac{2}{V_{GS} - V_T} I_D$$

$$g_{mbs, \text{Sat}} = g_m \frac{\gamma}{2\sqrt{2}|\phi_F| + V_{SB}}$$

$$g_{ds, \text{Sat}} = \frac{I_D \lambda}{1 + \lambda V_{DS}}$$

Approximationer och förenklingar

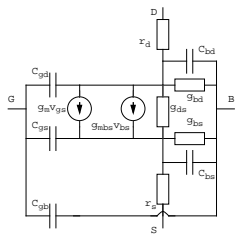
I räkningarna kan ofta kanallängdsmodulationen försummas: $\lambda V_{DS} \times 1$. (OBS! Ibland inte alls!)

Bulkeffekter kan ofta försummas: $V_T \approx V_{T0}$.

Småsignalparametern g_{ds} är oftast väldigt liten gentemot g_m , vilket gör att: $g_m \parallel g_{ds} \approx g_m$.

Vid enklare handräkning så försummas inverkan av parasitkapacitanser.

En diodkopplad transistor kan ersättas med en konduktans som är $g_{diod} = g_{ds} + g_m$.



Uppgifter

Uppgift 3.4

“ON”-resistansen för en switch.

Det antas att transistorn arbetar i det linjära området, dvs att

$$g_m = \beta V_{DS} \cdot g_{mbs} \approx g_m \eta \text{ och } g_{ds} = \beta (V_{GS} - V_T - V_{DS})$$

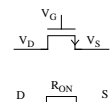
Det antas att det är en liten ström och resistans genom transistorn och därmed så är inte potentialskillnaden mellan drain och source stor, dvs att $V_{DS} = 0$. Detta ger att $g_m = 0$ och $g_{mbs} = 0$.

Därför måste $R_{ON} = 1/g_{ds}$ och $V_{GS} - V_T - V_{DS} = V_G - V_T - V_D$ och därmed är

$$R_{ON} = \frac{1}{K_n(W/L)(V_G - V_T - V_D)} = \frac{1}{25\mu \cdot 1 \cdot (V_G - 1 - V_D)} = \frac{40k}{(V_G - 1 - V_D)}$$

Enligt antagande så är $V_{GS} \approx V_{DS} \Rightarrow V_G \approx V_D$ och därmed kan V_D försummas i R_{ON} .

a) $V_G = 10V$, $R_{ON} = 40k/9 = 4.44k\Omega$. b) $V_G = 5V$, $R_{ON} = 40k/4 = 10k\Omega$



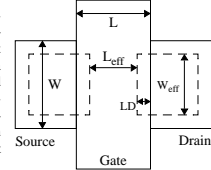
Uppgift 3.6

Beräkna kapacitanserna C_{GB} , C_{GS} och C_{GD} i transistorn då:

$$L = 25\mu\text{m}, W = 25\mu\text{m}, V_D = 1V, V_G = 1.7V, V_S = 0, V_B = -5V, V_{T0} = 1V,$$

$$C_{ox} = 0.45 \cdot 10^{-15} \text{F/mm}^2, \gamma = 0.5 \text{V}^{0.5}, 2|\phi_F| = 0.6V \text{ och } \Delta L = 0.8\mu\text{m}.$$

Vid tillverkningsprocessen så kommer inte de “maskade” värdena W och L - dvs de värden som är beräknade och givna inför tillverkningen - att stämma utan det kommer att uppstå överlappning och den effektiva längden och bredden på kanalen blir kortare. På grund av överlappningen så kommer också parasitkapacitanserna att uppstå mellan gate och source/drain/bulk. Kapacitanserna är beroende av storleken på överlappningen och potentialerna i gate/source/drain/bulk (dvs i vilket arbetsområde som transistorn befinner sig).



Överlappningen LD är given av ΔL som $LD = \Delta L$.

Vi måste anta att $W_{eff} = W$ i uppgiften eftersom ingen information är given om ΔW .

I detta exempel är:

$$V_T = V_{T0} + \gamma(\sqrt{2|\phi_F| + V_{SB}} - \sqrt{2|\phi_F|}) = 1 + 0.5(\sqrt{0.6 + (0 - (-5))} - \sqrt{0.6}) = 1.8V$$

Det betyder att $V_{GS} = 1.7 < 1.8 = V_T$ dvs att transistorn är avstängd, “off”. Enligt kursbok:

$$C_{GB} \approx C_{ox} W_{eff} L_{eff} = C_{ox} W(L - 2\Delta L) = 0.45 \cdot 25 \cdot 23.4 \cdot 10^{-15} \text{F} = 263 \text{fF}$$

$$C_{GD} = C_{ox} LD W_{eff} = 0.45 \cdot 0.8 \cdot 25 \cdot 10^{-15} \text{F} = 91 \text{fF}$$

Uppgift 3.3

Härled småsignalparametrarna. Svaret enligt teoridelen.

Uppgift 3.7

Beräkna transistorstorlekarna för M8, M9 och M10. Enligt uppgift är:

$$V_{DD} = -V_{SS} = 5V, P_{diss} = (V_{DD} - V_{SS})I_D \leq 50\mu\text{W} \text{ och } V_{bias} = -3V.$$

Genom att använda kravet på begränsad effektförbrukning i kretsen så kan strömmen beräknas till att maximalt vara:

$$I_D = P_{diss} / (V_{DD} - V_{SS}) = 50\mu\text{W} / 10 = 5\mu\text{A}$$

Eftersom alla transistorer är diodkopplade så är $V_{DS} = V_{GS}$ och därmed $V_{DS} > V_{GS} - V_T$, dvs transistorerna befinner sig i det mättrade området.

Detta gör att storleken för M10 lätt kan beräknas:

$$I_D = K_n S_{10} (V_{GS} - V_{Tn})^2 (1 + \lambda_n V_{DS}) = K_n S_{10} (V_{GS} - V_{Tn0})^2 (1 + \lambda_n V_{GS}) \Rightarrow$$

$$S_{10} = I_D / [K_n (V_{bias} - V_{SS} - V_{Tn0})^2 (1 + \lambda_n (V_{bias} - V_{SS}))] = 0.29$$

Om bulkeffekter inte försummas och potentialen V_x sätts till ett lämpligt värde, t.ex

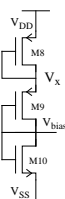
$$V_x = 0.5(V_{DD} - V_{bias}) = 1V$$

Så kan även de andra storlekarna räknas ut som:

$$S_8 = I_D / [K_p (V_{DD} - V_x - |V_{Tp0}|)^2 (1 + \lambda_p (V_{DD} - V_x))] =$$

$$S_9 = I_D / [K_p (V_x - V_{bias} - |V_{Tp}|)^2 (1 + \lambda_p (V_x - V_{bias}))] =$$

$$\text{där } V_{Tp} = V_{Tp0} - \gamma(\sqrt{2|\phi_F|_p} + V_{BS} - \sqrt{2|\phi_F|_p}) = -1.82V$$



Uppgift 3.1

Vilken break-down-spänning har en PN-övergång?

$$N_D = N_A = 10^{17} \text{cm}^{-3}, E_{max} = 3 \cdot 10^5 \text{V/cm} \text{ och } \epsilon_{si} = 1.04 \text{pF/cm}.$$

Enligt definitionen i teoridelen så är

$$BV = \frac{\epsilon_{si}(N_A + N_D)}{2qN_A N_D} E_{max}^2.$$

Vilket ger att

$$BV = \frac{1.04}{2 \cdot 0.1602} \cdot 10^{-12} + 18 \cdot \frac{1}{1} \cdot 10^{-17} \cdot 32 \cdot 10^{10} = \frac{1.04 \cdot 9}{1.602} \approx 5.843V$$

Uppgift 3.2

Ange två typer av MOS-kondensatorer. Svaret enligt teoridelen.

Uppgift Allen 3.9

Beräkna parasitkapacitanser och resistanser i transistorn.

I figuren kan uttydas att $L = 10\mu\text{m}$ och $W = 10\mu\text{m}$. Antag enligt andra uppgifter i boken att $LD = 0.8\mu\text{m}$. Dvs att $L_{eff} = L - 2LD = 8.4\mu\text{m}$ och $W_{eff} = W = 10\mu\text{m}$.

Enligt uppgift befinner sig transistorn i mättnadsområdet, detta ger enligt Allen Holberg:

$$C_{GB} = CGBO \cdot L_{eff} = 200 \cdot 10^{-12} \cdot 8.4 \cdot 10^{-6} \text{F} = 1.68 \text{fF}$$

$$C_{GS} = C_{ox}(LD + 0.67L_{eff})W_{eff} = 4.3(0.8 + 0.67 \cdot 8.4)10 \cdot 10^{-16} \text{F} = 27.6 \text{fF}$$

$$C_{GD} = C_{ox} \cdot LD \cdot W_{eff} = 4.3 \cdot 0.8 \cdot 10 \cdot 10^{-16} \text{F} = 3.4 \text{fF}$$

$$C_{BS} = \frac{C_J \cdot A_S}{\left[1 - \frac{V_{BS}}{P_B}\right]^{M_J}} + \frac{C_{JSW} \cdot P_S}{\left[1 - \frac{V_{BS}}{P_B}\right]^{M_{JSW}}} = C_J \cdot A_S + C_{JSW} \cdot P_S =$$

$$= 300(10 \cdot 20 + 20 \cdot 25) + 500(25 + 5 + 20 + 10 + 20 + 5 + 25 + 20) \text{aF} = 275 \text{fF}$$

$$C_{BS} = \frac{C_J \cdot A_D}{\left[1 - \frac{V_{BS}}{P_B}\right]^{M_J}} + \frac{C_{JSW} \cdot P_D}{\left[1 - \frac{V_{BS}}{P_B}\right]^{M_{JSW}}} =$$

$$= \frac{300(10 \cdot 20 + 20 \cdot 25)}{\left[1 - \frac{-5}{1}\right]^{0.5}} + \frac{500(25 + 5 + 20 + 10 + 20 + 5 + 25 + 20)}{\left[1 - \frac{-5}{1}\right]^{0.3}} \text{aF} \approx 124 \text{fF}$$

Resistanserna r_d och r_s beräknas med ytresistansen som är 100Ω/ruta:

$$r_d = r_s = 100\Omega \cdot (2 + 0.5) = 250\Omega$$

Figur 2.6-5 ger uträkningen av antalet rutor för kontakten. Antalet övriga rutor (2) räknas ut från kontakten fram till gaten. Inte under gaten.