

Innehåll

	sid
1. Logikfamilj	3
1.1 Några egenskaper hos TTL-kretsar	4
1.2 Icke anslutna ingångar	6
2. Laborationsutrustning	6
3. Laborationens genomförande	7
3.1 Konstruktion	8
3.2 Uppkoppling	9
3.3 Felsökning	10
4. Datablad	11

1. Logikfamilj

Vid laborationerna i digitalteknik kommer du att använda logiska kretsar tillhörande logikfamiljen TTL (Transistor-Transistor-Logic). Dessa kretsar har ett brett användningsområde. De är billiga (några kr/kapsel), driftsäkra och tål felkopplingar. Dessa integrerade kretsar innesluts i platskapsel med 14 eller 16 anslutningsben.

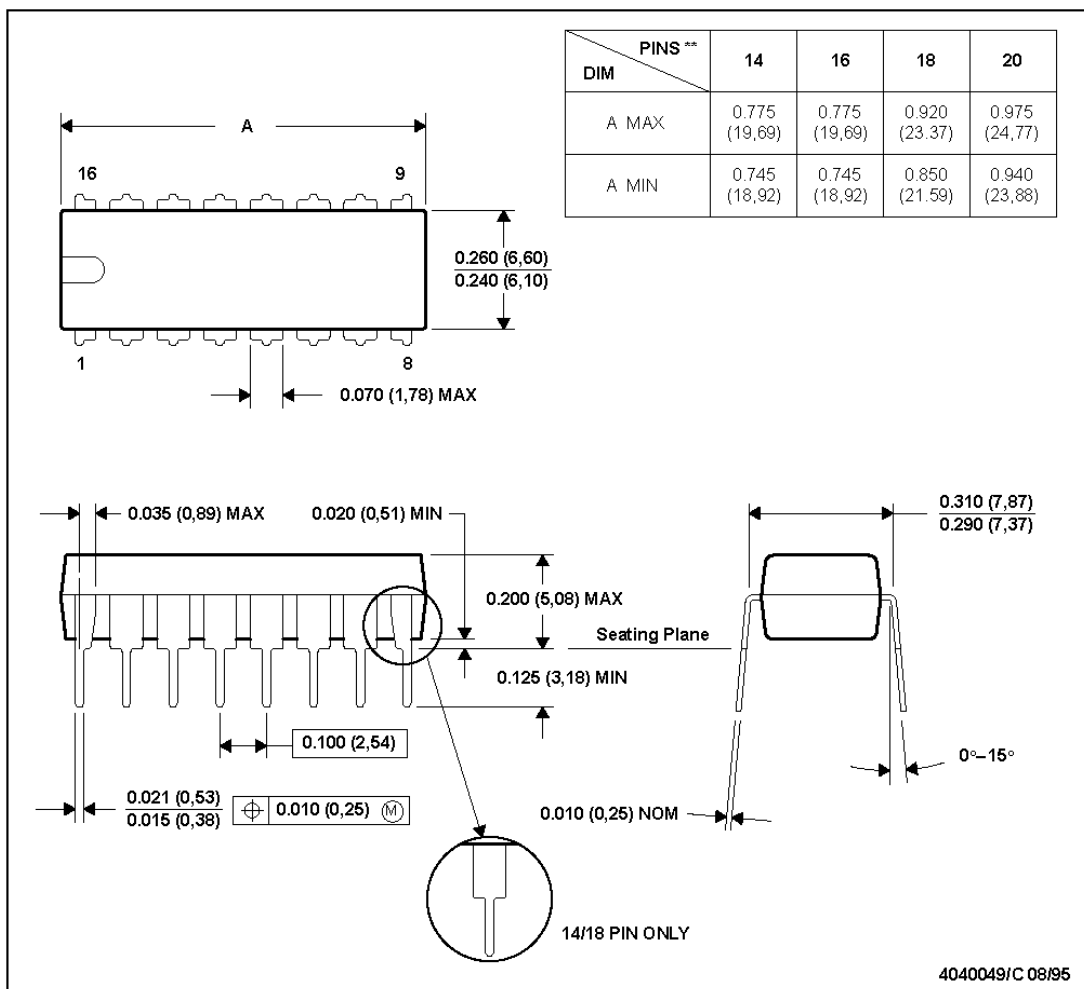
MECHANICAL DATA

MPDI002A – OCTOBER 1995

N (R-PDIP-T)**

PLASTIC DUAL-IN-LINE PACKAGE

16 PIN SHOWN



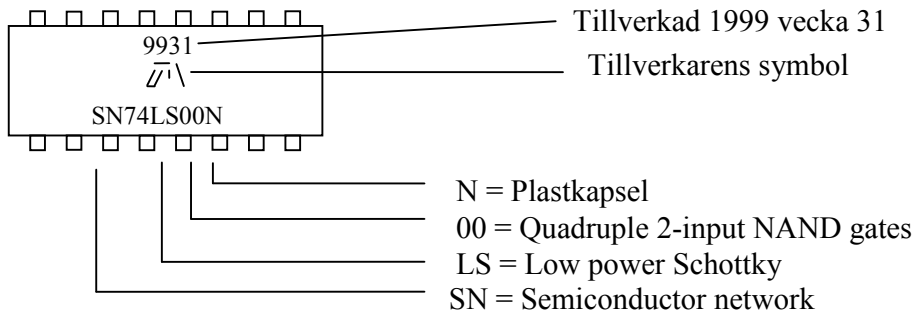
NOTES: A. All linear dimensions are in inches (millimeters).
 B. This drawing is subject to change without notice.
 C. Falls within JEDEC MS-001 (20 pin package is shorter than MS-001.)

TTL-kretsar tillverkas i en 74-serie och en 54-serie. 74-serien är industristandard medan 54-serien, med något bättre data, används i militära utrustningar.

74-serien omfattar flera hundra olika kretsar. Kapselmärkningen ger följande information:

- 1) Tillverkarens namn, symbol eller initialer
- 2) Tillverkarens datumkod
- 3) 74-seriens nummer (Anger kretstyp)

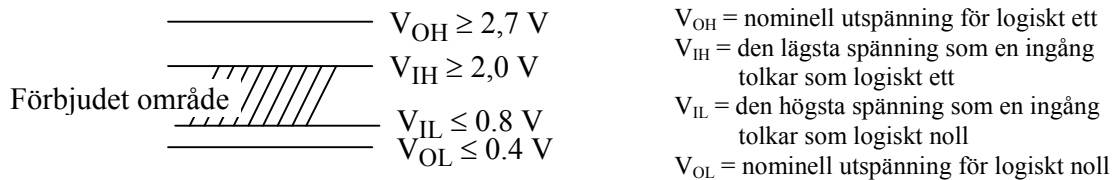
Exempel:



Förutom standard TTL finns det fyra specialfamiljer av TTL-kretsar: lågeffekt (eng. low power, förkortning L), lågeffekt Schottky (eng. low power Schottky, förkortning LS), Schottky (förkortning S) och snabb (eng. high speed, förkortning H). Low power Schottky TTL används genomgående under digitalteknikslaborationerna.

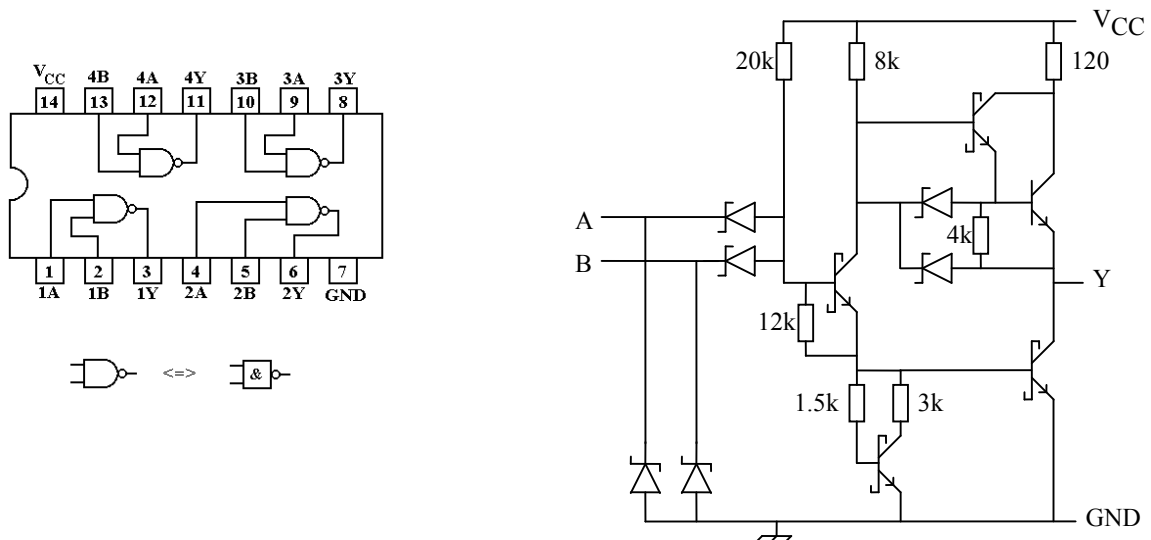
1.1 Några egenskaper hos TTL-kretsar

Teorins nollor och ettor motsvaras i logikkopplingar av spänningsnivåer. För LS-TTL gäller: Matningsspänningen ska vara $V_{CC} = 5,0 \text{ V} \pm 0,25 \text{ V}$



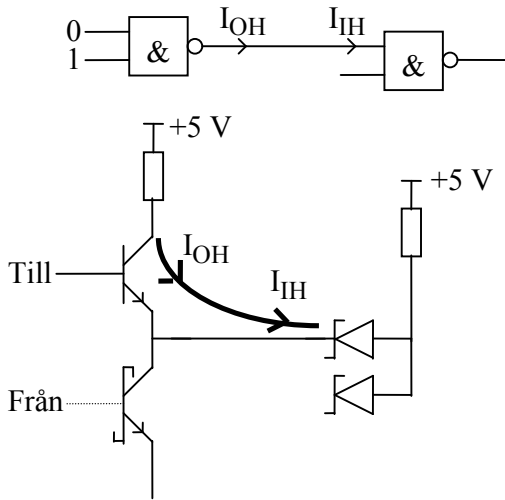
Logikkretsarna är uppbyggda av transistorer, dioder och motstånd. För att kunna använda kretsarna är det dock inte nödvändigt att känna till den inre uppbyggnaden i detalj.

En av de mest användbara TTL-kretsarna är NAND-grinden. Kapseln 74LS00 innehåller fyra tvåingångars NAND-grindar och beskrivs i datablad av figurerna nedan. Denna, liksom samtliga grindar i labsatsen, har totem-pole utgång och är därför inte trådbar.



Vid hopkoppling av två TTL-kretsar kommer följande strömmar att flyta:

Hög nivå ut från drivande grind.



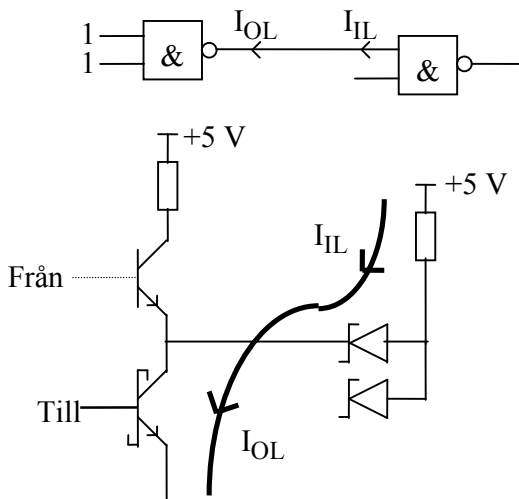
I_{OH} = ström till/från en utgång då utgången genererar hög signal
 I_{IH} = ström till/från en ingång vid logiskt ett på denna

För low-power Scottky-TTL anger datablad

$I_{OH} = - 400 \mu A$ Negativt tecken = ström flyter ut från grind
 $I_{IH} = 20 \mu A$ Positivt tecken = ström flyter in i grind

Varje ingång suger åt sig $20 \mu A$. Drivande utgång förmår lämna $400 \mu A$. Detta betyder att varje utgång orkar driva 20 ingångar (Fan-out = 20).

Låg nivå ut från drivande grind.



I_{OL} = ström till/från en utgång då utgången genererar låg signal
 I_{IL} = ström till/från en ingång vid logiskt ett på denna

Datablad anger:

$I_{IL} = - 0,4 \text{ mA}$
 $I_{OL} = 8 \text{ mA}$

Varje grindutgång avger 0,4 mA medan drivande utgång kan sänka 8 mA. Varje utgång orkar även i detta fall sänka 20 ingångar (Fan-out = 20).

Belastningsregel (low-power Schottky-TTL):

Varje TTL-utgång kan driva 20 TTL-ingångar.

Denna regel är i stort sett den enda du behöver tänka på vid sammankoppling av logiska TTL-kretsar. Överskrids belastningarna kan spänningsnivåerna inte garanteras och funktionen blir osäker.

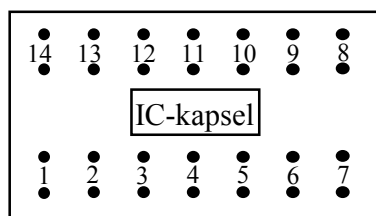
1.2 Icke anslutna ingångar

I TTL uppför sig icke anslutna grindingångar som logiska ettor. Denna egenskap hos TTL-kretsar bör dock inte utnyttjas vid laborationerna. Ur ingenjörsmässig synpunkt är det lämpligare att ansluta icke utnyttjade ingångar direkt till +5 V.

OBS! Klockade kretsar är känsliga och **kräver** att samtliga ingångar är anslutna.

2. Laborationsutrustning

IC-kapslarna är monterade på kopplingsmoduler. Numreringen på kopplingsmodulerna refererar till numreringen på kapselns ben.



Kopplingsmodulerna kan skjutas in i spår på ett kopplingsbord. Vid laborationens början är modulerna ordnade enligt bifogat schema **och ska efter avslutad laboration vara ordnade på samma sätt.**

Förbindning sker med speciella kopplingsladdar.

Förutom moduler med TTL-kretsar finns följande specialmoduler:

- 1) Två moduler med vardera fyra stycken skjutomkopplare. Skjutomkopplaren i läge framåt ger logiskt ett på utgången medan den i läge bakåt ger logiskt noll. Omkopplarna är ej studs fria.
- 2) En kopplingsmodul försedd med två studs fria skjutomkopplare.
- 3) En modul försedd med sex stycken lysdioder. Lysdioderna är försedda med drivkretsar. Logiskt ett på en ingång tänds lysdioden.

- 4) Tre moduler med vardera en 7-segmentindikator, vilken styrs av ett 4-bits binärt ord A3-A0. A0 är minst signifikant bit. Det binära talet A3-A0 presenteras med hexadecimala symboler.
- 5) Två Prom-moduler som bl.a. innehåller ett skriv och elektriskt raderbart minne (EEPROM) på 16 ord à 4 bit. Databladen innehåller en beskrivning av minnets funktionalitet.
- 6) En modul med en klockgenerator. Frekvensen är valbar mellan 1 - 1000 Hz. Genom bygling bestäms frekvensområdet 1, 10 eller 100 Hz, varefter inställt område kan varieras 10 gånger med en potentiometer.
- 7) En modul med två studs fria tryckomkopplare. Varje tryckomkopplare ger vid nedtryckning - uppläpp en positiv eller en negativ puls. Tryckomkopplarna kan användas vid manuell klockning av men är också användbara vid manuell nollställning av räknare och vippor.

Samtliga moduler ovan kräver matningsspänning och jord.

I vissa lägen kan det bli brist på kopplingspunkter. Detta gäller speciellt jordpunkter. För att avhjälpa detta finns en speciell förgreningsmodul.

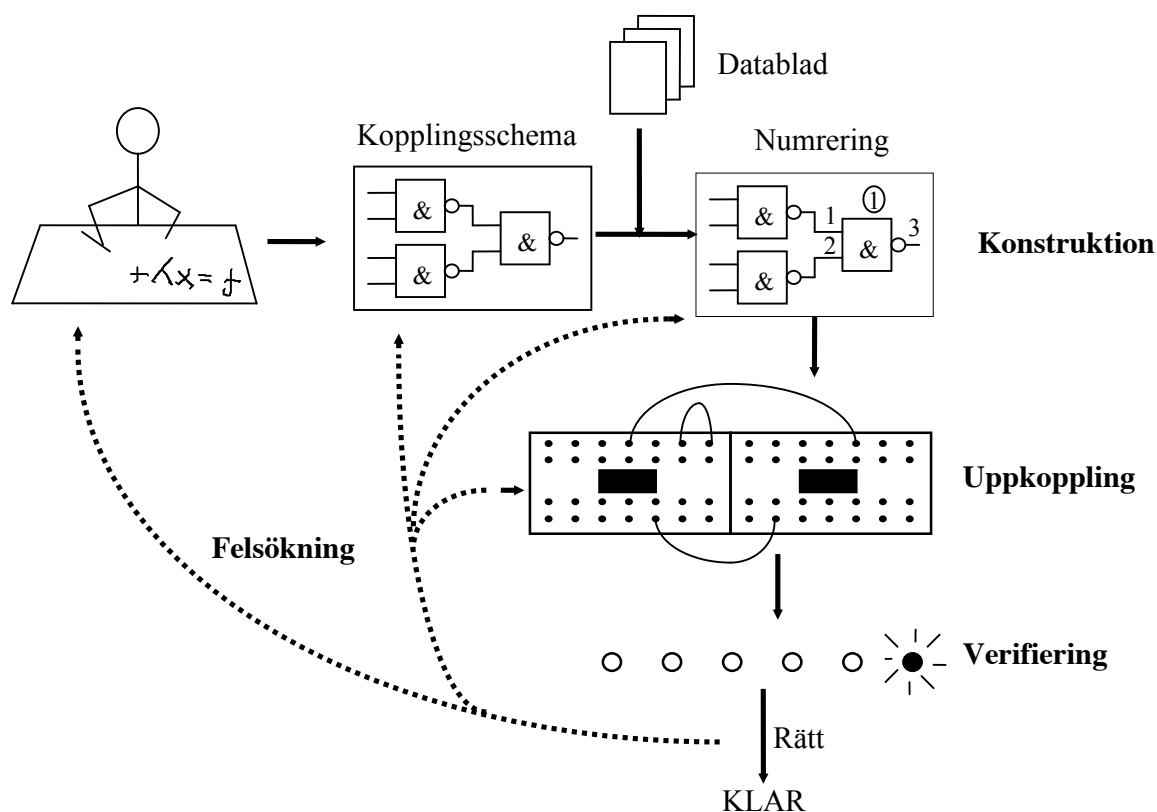
- 8) En förgreningsmodul. Fyra rader med fem anslutningspinnar i varje rad.

3. Laborationens genomförande

I varje laborationsuppgift ingår momenten

- konstruktion (laborationsförberedelse)
- uppkoppling
- verifiering/felsökning

illustrerat av figur :



3.1 Konstruktion

Konstruktionsarbetet ska utmynna i ett klart och tydligt kopplingsschema. Såväl kapslar som in- och utgångar ska vara numrerade. **Ett klart och tydligt kopplingsschema utgör grunden för hela laborationen.** Slarvigt utförda scheman leder till felkopplingar och försvårar felsökning.

Exempel:

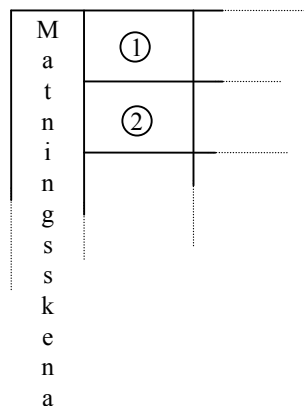
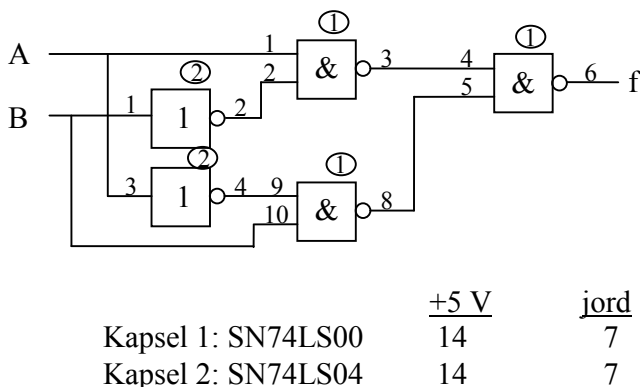
Du ska, med inverterare och NAND-grindar, bygga upp ett kombinatoriskt nät som realiserar funktionen

$$f = AB' + A'B \quad (\text{EXOR})$$

Du behöver följande kretsar:

- 1 st SN74LS04 Innehåller sex inverterare
- 1 st SN74LS00 Innehåller fyra 2-ingångars NAND-grindar

Logiskt kopplingsschema:

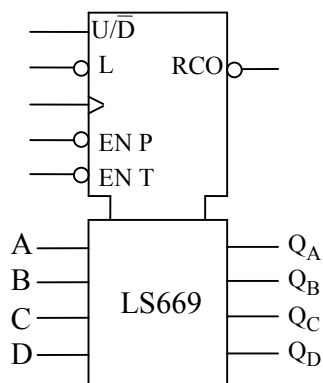


Observera följande:

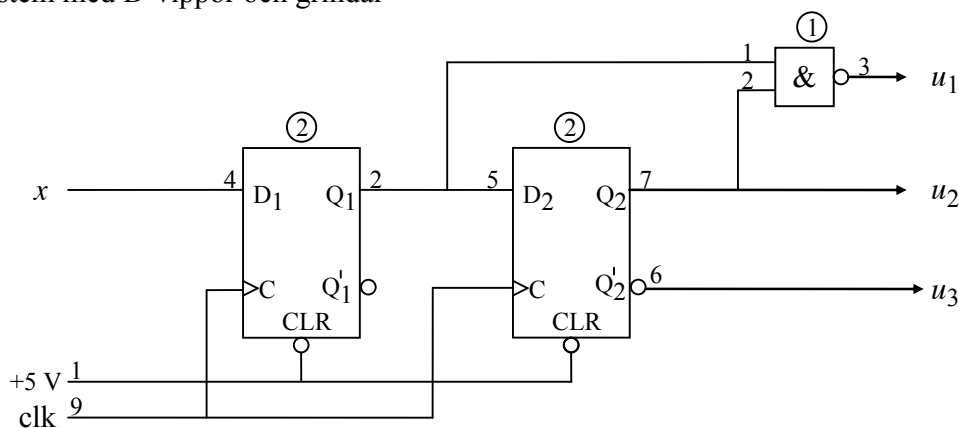
- 1) Numrera kapslarna
- 2) Numrera in- och utgångar enligt uppgifter i datablad.
- 3) Ange hur de olika kapslarna ska spänningsmatas. Normalt har en 14-pinnars kapsel spänningsmatning +5 V på ben 14 och jord på ben 7. En 16-pinnars kapsel har +5 V på ben 16 och jord på ben 8. Det förekommer undantag. Kontrollerna alltid med datablad.
- 4) Rita en figur över kapslarnas placering i kopplingsplattan.

För mer komplexa kretsar kan man inte direkt rita logiska symboler. Här följer några exempel:

1. Binärräknaren SN74LS669 kan ritas enligt



2. System med D-vippor och grindar



Datablad för D-vippan LS175 visar att ingången Clear aktiveras med låg nivå (0:a). För normal funktion ska denna ingång vara 1 (läggs till +5 V).

3.2 Uppkoppling

Skjut in de moduler som behövs i kopplingsbordet. Modulerna ska nu förbindas enligt det logiska kopplingsschemat.

- 1) Börja alltid med spänningsmatning till modulerna. Använd röd sladd för +5 V och svart sladd för jord. För att få så litet spänningsfall som möjligt ska modulerna **spänningsmatas radvis** från matningsskenan.
- 2) Använd svart sladd för ingångar som ska läggas till en fast nolla och röd för de som ska läggas till fast etta.
- 3) Övriga förbindningar utförs med i första hand gula och sedan blå och sist med vita sladdar.

Vid allt kopplingsarbete ska spänningsmatningen vara frånslagen.

Insignaler till systemet erhålls från skjutomkopplare. Utsignaler registreras med lysdioder eller 7-segmentindikatorer.

Uppkopplingen sker lämpligen stegvis i lagom stora block. **Varje blocks funktion prövas innan man fortsätter med nästa block.**

När laborationen är slutförd och godkänd ska nerkoppling ske genom att **dra sladdarnas kontakter rakt upp**. Sladdar och kontakter går annars sönder, vilket leder till mycket svårfunna fel för efterföljande laboranter (se ”felsökning” punkt 3).

Håll ordning på sladdarna. Sladdarna ska vid laborationens slut vara sorterade i plastlådor. Låna inte komponenter från de övriga grupperna. Varje grupp har från början tillräckligt med laborationsmateriel.

3.3 Felsökning

När uppkopplingen av en hel konstruktion är klar blir resultatet ett ”rättbo” av sladdar. Det går inte att undvika, eftersom så många punkter ska förbindas med varandra. Är konstruktionen av större komplexitet, är sannolikheten att något inte fungerar som det ska ganska stor. Det är därför, som tidigare nämnts, lämpligt att **bygga upp konstruktionen stegvis och testa funktionen efter varje steg**. Man vet då att ett eventuellt felaktigt beteende kan hänföras till den senast uppkopplade delen. Exempelvis bör man när man kopplar upp kaskadräknaren i uppgift 5 verifiera funktionen efter varje ny dekad.

När ett felaktigt beteende upptäcks påbörjas felsökning. Det är nu som du har god hjälp av ett tydligt kopplingsschema med utsatta bennumreringar. Orsaken till fel kan vara:

- 1) Felkoppling
- 2) Tankefel, d.v.s. felaktigt logiskt kopplingsschema
- 3) Intermittent fel t.ex. löst kopplingsstift eller trasig sladdkontakt
- 4) Felaktig komponent
- 5) Felaktigt handhavande
- 6) ”Elektriska fel”, t.ex. störningar, överskridna belastningstoleranser etc.

Oavsett vilka typer av fel som föreligger, **lokaliseras dessa genom mätningar**. Som hjälp finns på spänningsskenan två s.k. **logikprobar**. Anslut önskade mätpunkter till dessa med **de gröna testsladdarna**. Probarna indikerar hög, låg respektive odefinierad signalnivå på tre lysdioder med färgerna röd, grön, gul.

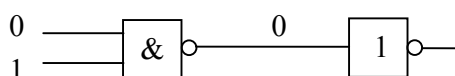


Det är också rekommenderat att redan vid uppkoppling **skaffa sig ett antal fasta mätpunkter**, t.ex. för tillståndsvariabler i sekvensnät.

Vid felsökning i *kombinatoriska nät* väljer du en insigalkombination för vilken felaktiga utsignaler erhålls. Följ (d.v.s. mät) signalerna grind för grind från nätets **utgångar** till **ingångar** och jämför med kopplings-schemat, för att hitta de punkter där mätvärdena inte stämmer med de förväntade. Finner du inga avvikelser, föreligger troligen ett logiskt fel (2).

För *sekvensnät* är det redan vid måttligt hög klockfrekvens omöjligt att (med en logikprob) hinna utföra mätningar och samtidigt avgöra om dessa är korrekta i den takt nätet klockas. Koppla därför bort klockgeneratoren och anslut i dess ställe en studsfri tryckomkopplare. **Klocka därefter manuellt** fram till klockintervallet innan nätet spårar ur, d.v.s. till ett klockintervall där ett felaktigt nästa inre tillstånd erhålls. Där mäter du enligt de regler som gavs för kombinatoriska nät.

Det vanligaste och lättaste felet att hitta är felkopplingar (1). Trasiga komponenter är betydligt ovanligare (4). Observera att en felaktig utsignal från en krets inte behöver innebära att den kretsen är trasig. I nedanstående koppling kan NAND-grindens felaktiga utsignal bero på att



- NAND-grinden är trasig
- Inverteraren är trasig och kortsluter NAND-grindens utgång till jord.

För att kunna avgöra om en grind verkligen beter sig felaktigt, får utgången inte kunna påverkas från annat håll. Mätningen måste därför göras med utgången oansluten (obelastad).

Löst kopplingsstift eller glapp i sladdar (3) kan misstänkas om diverse stokastiska fenomen uppträder när man trycker med handen på ”rättboet”. Sladdar och stift kan testas med logikprobarna. Anslut stiftet till en logikprob och vicka fram och tillbaka på sladden. Om den gula lysdioden (= odefinierad) tänds vid något tillfälle föreligger glapp.

Det är av största vikt att utrustningen behandlas varsamt så att glapp inte uppkommer i stift och kontakter. Fel orsakade av detta beter sig inte logiskt och är därför mycket svårfunna.

I labmiljö torde (6) kunna uteslutas för konstruktioner av låg komplexitet.

Vid professionell testning av digitala system använder man bl.a. logikanalysatorer. Till en logikanalysator kan man ansluta ett flertal mätpunkter. När ett visst s.k. triggvillkor uppfyllts samplas mätvärdena vid full klockfrekvens och skrivs in i ett minne. Efter avslutad sampling kan mätvärdena hämtas från minnet och presenteras på olika sätt på en skärm.

4. Datablad

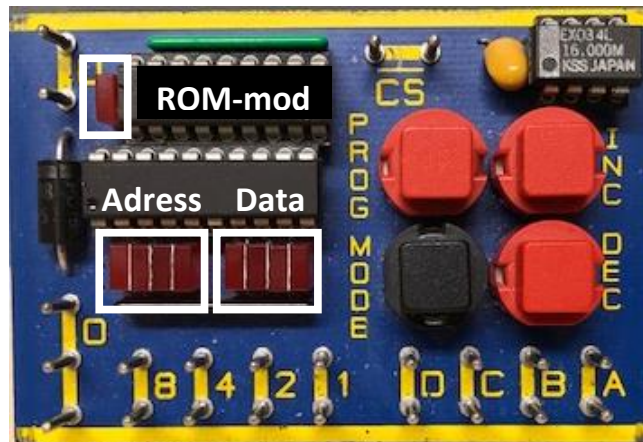
I labsatsen ingår följande TTL-kretsar:

- 74LS00 Quad 2-input NAND (4 st)
- 74LS02 Quad 2-input NOR (1 st)
- 74LS04 Hex inverter (2 st)
- 74LS10 Triple 3-input NAND (2 st)
- 74LS20 Dual 4-input NAND (1 st)

74LS153 Dual multiplexer 4/1 (1 st)
74LS157 Quad multiplexer 2/1 (1 st)
74LS175 Quad D flip-flop (2 st)
74LS160 Decade counter (3 st)
74LS669 Binary up/down counter (1 st)

PROM-modul

Nedan visas en bild på PROM-modulen som innehåller ett läsminne.

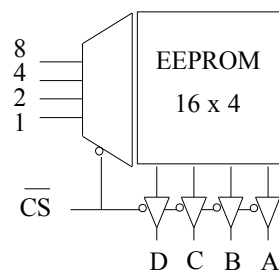


Läsminnet lagrar 16 stycken 4-bitsarsord och programmeras och raderas elektriskt (EEPROM). Kretsen har två moder, en programmeringsmod, PROG-mod, och en mod där modulens minne kan användas, ROM-mod. Växling mellan moderna sker genom att trycka på den svarta knappen markerad MODE. Lysdioden markerad ROM-mod lyser när kretsen är i ROM-moden.

I PROG-moden programmeras minnet med knapparna PROG, INC och DEC. Adress och tillhörande data visas på vardera 4 lysdioder. PROG-knappen används för att hoppa till nästa adress. Datainnehållet ändras med hjälp av knapparna INC (increase) och DEC (decrease). När önskat datainnehåll visas sparas detta genom att trycka på PROG-knappen. Minnet raderas genom att trycka på alla de 3 röda knappar samtidigt och som en indikering på detta växlas modulen över till ROM-moden.

I ROM-moden är minnesinnehållet fixerat och funktionen kan beskrivas av figuren nedan.

ROM - mode

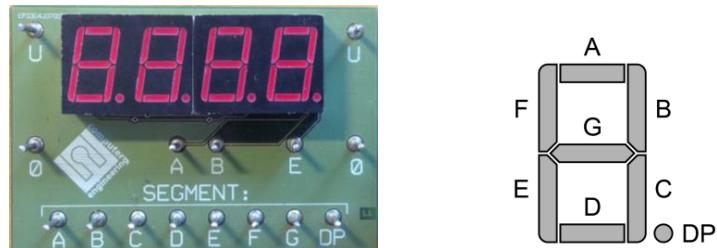


Pinnarna 8,4,2 och 1 är adressgångar där ingång 8 är mest signifikant bit och A-D datautgångar. I denna mod har modulen en speciell aktiveringssignal \overline{CS} (Chip Select). $\overline{CS} = 0$ innebär att utgångarna är aktiverade och $\overline{CS} = 1$ bland annat att modulens utgångar inte är anslutna till minnets utgångar, dvs utgångarna är höghomiga. I ROM-moden visar lysdioderna adresserad minnescell och data på denna adress, förutsatt att chip select är aktiverad, dvs $\overline{CS} = 0$.

LED-displayer

Oavkodad 7-segmentsdisplay

LED-modulen visas i figuren nedan.



Modulen har fyra 7-segmentsdisplayer. Segmenten är namngivna A-G och DP står för decimalpunkt.

Med segmentingångarna A-G och DP väljs vilket eller vilka segment som skall vara tända. Ingångarna A och B direkt under displayerna används för att välja vilken av de fyra displayerna som skall tändas. Ingång A är minst signifikant bit och displayerna är numrerade i ordning 3, 2, 1 och 0. E står för enable och måste vara hög för att någon av displayerna överhuvudtaget ska lysa.

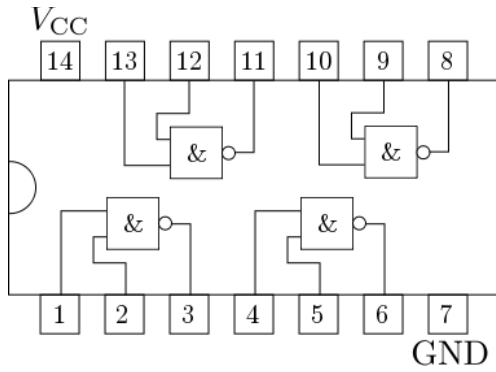
Avkodad 7-segmentsdisplay

Den avkodade 7-segmentsdisplayen visas i figuren nedan.

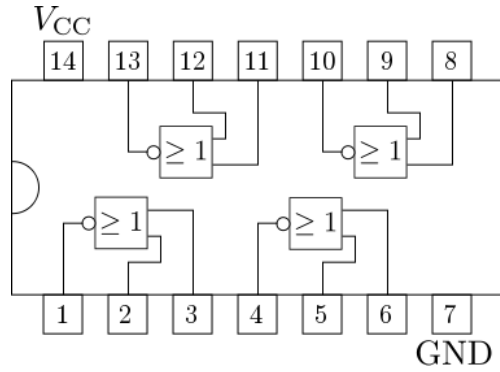


Displayen visar den hexadecimal siffra som svarar mot det binärkodade 4-bitarstal som matas in på ingångarna A-D där A är minst signifikant bit.

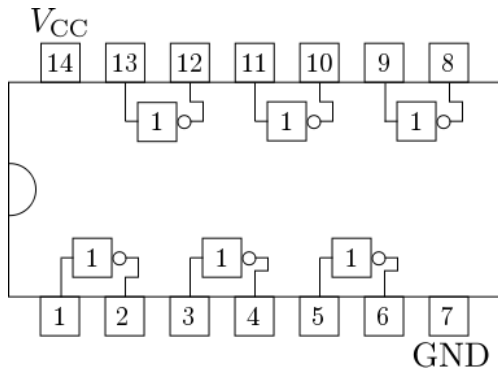
74LS00



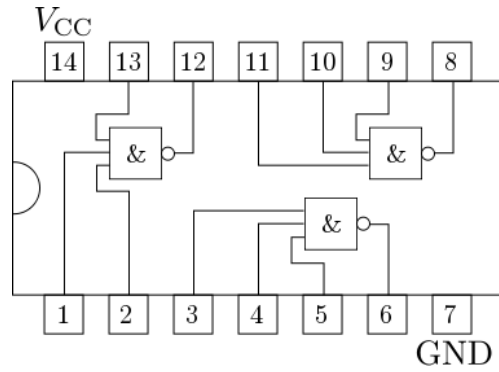
74LS02



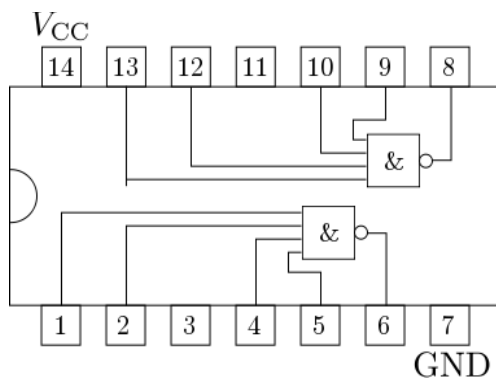
74LS04



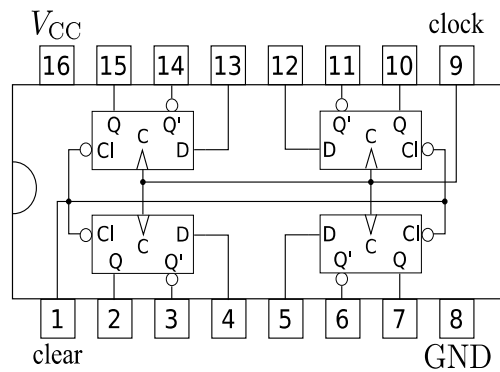
74LS10



74LS20



74LS175



54LS153/DM54LS153/DM74LS153 Dual 4-Line to 1-Line Data Selectors/Multiplexers

General Description

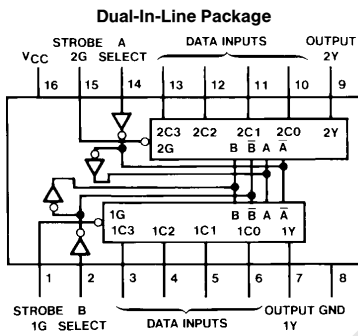
Each of these data selectors/multiplexers contains inverters and drivers to supply fully complementary, on-chip, binary decoding data selection to the AND-OR-invert gates. Separate strobe inputs are provided for each of the two four-line sections.

Features

- Permits multiplexing from N lines to 1 line
- Performs at parallel-to-serial conversion

- Strobe (enable) line provided for cascading (N lines to n lines)
- High fan-out, low impedance, totem pole outputs
- Typical average propagation delay times
 - From data 14 ns
 - From strobe 19 ns
 - From select 22 ns
- Typical power dissipation 31 mW
- Alternate Military/Aerospace device (54LS153) is available. Contact a National Semiconductor Sales Office/Distributor for specifications.

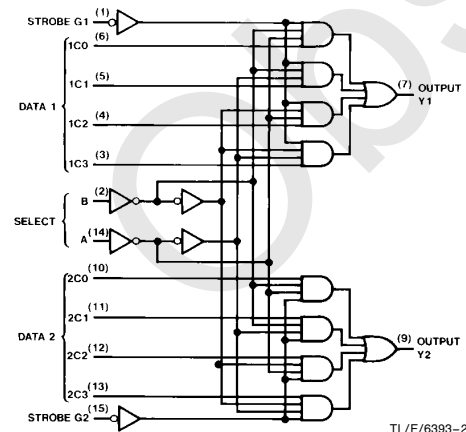
Connection Diagram



TL/F/6393-1

Order Number 54LS153DMQB, 54LS153FMQB, 54LS153LMQB, DM54LS153J, DM54LS153W, DM74LS153M or DM74LS153N
See NS Package Number E20A, J16A, M16A, N16E or W16A

Logic Diagram



TL/F/6393-2

Function Table

Select Inputs		Data Inputs				Strobe	Output
B	A	C0	C1	C2	C3	G	Y
X	X	X	X	X	X	H	L
L	L	L	X	X	X	L	L
L	L	H	X	X	X	L	H
L	H	X	L	X	X	L	L
L	H	X	H	X	X	L	H
H	L	X	X	L	X	L	L
H	L	X	X	H	X	L	H
H	H	X	X	X	L	L	L
H	H	X	X	X	H	L	H

Select inputs A and B are common to both sections.
H = High Level, L = Low Level, X = Don't Care

54LS153/DM54LS153/DM74LS153 Dual 4-Line to 1-Line Data Selectors/Multiplexers

54LS157/DM54LS157/DM74LS157, 54LS158/DM54LS158/DM74LS158 Quad 2-Line to 1-Line Data Selectors/Multiplexers

General Description

These data selectors/multiplexers contain inverters and drivers to supply full on-chip data selection to the four output gates. A separate strobe input is provided. A 4-bit word is selected from one of two sources and is routed to the four outputs. The LS157 presents true data whereas the LS158 presents inverted data to minimize propagation delay time.

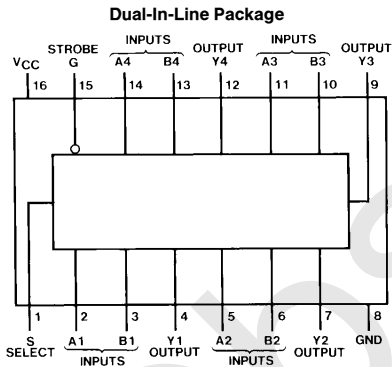
Applications

- Expand any data input point
- Multiplex dual data buses
- Generate four functions of two variables (one variable is common)
- Source programmable counters

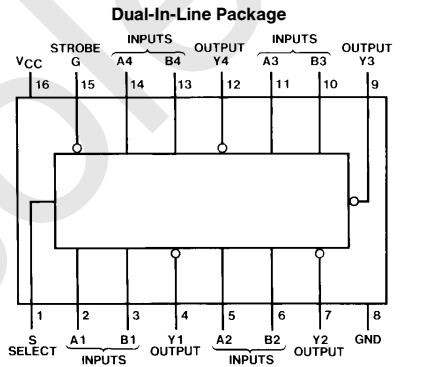
Features

- Buffered inputs and outputs
- Typical Propagation Time
LS157 9 ns
LS158 7 ns
- Typical Power Dissipation
LS157 49 mW
LS158 24 mW
- Alternate Military/Aerospace device (54LS157, 54LS158) is available. Contact a National Semiconductor Sales Office/Distributor for specifications.

Connection Diagrams



Order Number 54LS157DMQB, 54LS157FMQB,
54LS157LMQB, DM54LS157J, DM54LS157W,
DM74LS157M or DM74LS157N
See NS Package Number E20A, J16A,
M16A, N16E or W16A



Order Number 54LS158DMQB, 54LS158FMQB,
54LS158LMQB, DM54LS158J, DM54LS158W,
DM74LS158M or DM74LS158N
See NS Package Number E20A, J16A,
M16A, N16E or W16A

Function Table

		Inputs		Output Y	
Strobe	Select	A	B	LS157	LS158
H	X	X	X	L	H
L	L	L	X	L	H
L	L	H	X	H	L
L	H	X	L	L	H
L	H	X	H	H	L

H = High Level, L = Low Level, X = Don't Care

54LS157/DM54LS157/DM74LS157, 54LS158/DM54LS158/DM74LS158
Quad 2-Line to 1-Line Data Selectors/Multiplexers

**TYPES SN54160 THRU SN54163, SN54LS160A THRU SN54LS163A,
SN54162, SN54163, SN74160 THRU SN74163,
SN74LS160A THRU SNLS163A, SN74S162, SN74S163
SYNCHRONOUS 4-BIT COUNTERS**

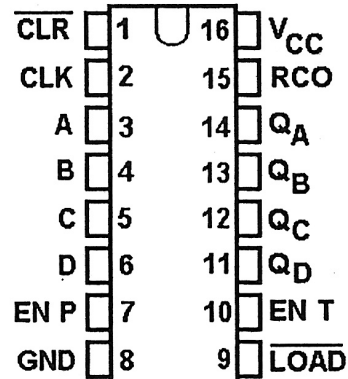
SDLS060

OCTOBER 1976 — REVISED MARCH 1980

'160, '161, 'LS160A, 'LS161A . . . SYNCHRONOUS COUNTERS WITH DIRECT CLEAR
'162, '163, 'LS162A, 'LS163A, 'S162, 'S163 . . . FULLY SYNCHRONOUS COUNTERS

- Internal Look-Ahead for Fast Counting
- Carry Output for n-Bit Cascading
- Synchronous Counting
- Synchronously Programmable
- Load Control Line
- Diode-Clamped Inputs

SERIES 54', 54LS', 54S' . . . J OR W PACKAGE
SERIES 74', 74LS', 74S' . . . J OR N PACKAGE
(TOP VIEW)



TYPE	TYPICAL PROPAGATION TIME. CLOCK TO Q OUTPUT	TYPICAL MAXIMUM CLOCK FREQUENCY	TYPICAL POWER DISSIPATION
'160 thru '163	14 ns	32 MHz	305 mW
'LS162A thru 'LS163A	14 ns	32 MHz	93 mW
'S162 and 'S163	9 ns	70 MHz	475 mW

description

These synchronous, presettable counters feature an internal carry look-ahead for application in high-speed counting designs. The '160, '162, 'LS160A, 'LS162A and 'S162 are decade counters and the '161, '163, 'LS161A, 'LS163A and 'S163 are 4-bit binary counters. Synchronous operation is provided by having all flip-flops clocked simultaneously so that outputs change coincident with each other when so instructed by the count-enable inputs and internal gating. This mode of operation eliminates the output counting spikes that are normally associated with asynchronous (ripple clock) counters. A buffered clock input triggers the four flip-flops on the rising (positive-going) edge of the clock input waveform.

These counters are fully programmable; that is, the outputs may be preset to either level. As presetting is synchronous, setting up a low level at the load input disables the counter and causes the outputs to agree with the setup data after the next clock pulse regardless of the levels of the enable inputs. Low-to-high transitions at the load input of the '160 thru '163 should be avoided when clock is low if the enable inputs are high at or before the transition. This restriction is not applicable to the 'LS160A thru 'LS163A or 'S162 or 'S163. The clear function of the '160, '161, 'LS160A and 'LS161A is asynchronous and a low level at the clear input sets all four of the flip-flop outputs low regardless of the levels of clock, load or enable inputs. The clear function for the '162, '163, 'LS162A, 'LS163A, 'S162 and 'S163 is synchronous and a low level at the clear input sets all four of the flip-flop outputs low after the next clock pulse, regardless of the levels of the enable inputs. This synchronous clear allows the count lengths to be modified as decoding the maximum count desired can be accomplished with one external NAND gate. The gate output is connected to the clear input to synchronously clear the counter to 0000 (LLLL). Low-to-high transitions at the clear input of the '162 and '163 should be avoided when the clock is low if the enable and load inputs are high at or before the transition.

The carry look-ahead circuitry provides for cascading counters for n-bit synchronous applications without additional gating. Instrumental in accomplishing this function are two count-enable inputs and a ripple carry output. Both count-enable inputs (P and T) must be high to count, and input T is fed forward to enable the ripple carry output. The ripple carry output thus enabled will produce a high-level output pulse with a duration approximately equal to the high-level portion of the Q_A output. This high-level overflow ripple carry pulse can be used to enable successive cascaded stages. High-to-low-level transitions at the enable P or T inputs of the '160 thru '163 should occur only when the clock input is high. Transitions at the enable P or T inputs of the 'LS160A thru 'LS163A or 'S162 or 'S163 are allowed regardless of the level of the clock input. The use of the ripple carry output as an edge trigger pulse is not recommended.

'LS160A thru 'LS163A, 'S162 and 'S163 feature a fully independent clock circuit. Changes at control inputs (enable P or T, or clear) that will modify the operating mode have no effect until clocking occurs. The function of the counter (whether enabled, disabled, loading, or counting) will be dictated solely by the conditions meeting the stable setup and hold times.

The 'LS160A thru 'LS163A are completely new designs. Compared to the original 'LS160 thru 'LS163, they feature 0-nanosecond minimum hold time and reduced input currents I_{IH} and I_{IL}.

PRODUCTION DATA documents contain information current as of publication date. Products conform to specifications per the terms of Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.

**TEXAS
INSTRUMENTS**

POST OFFICE BOX 975012 • DALLAS, TEXAS 75265

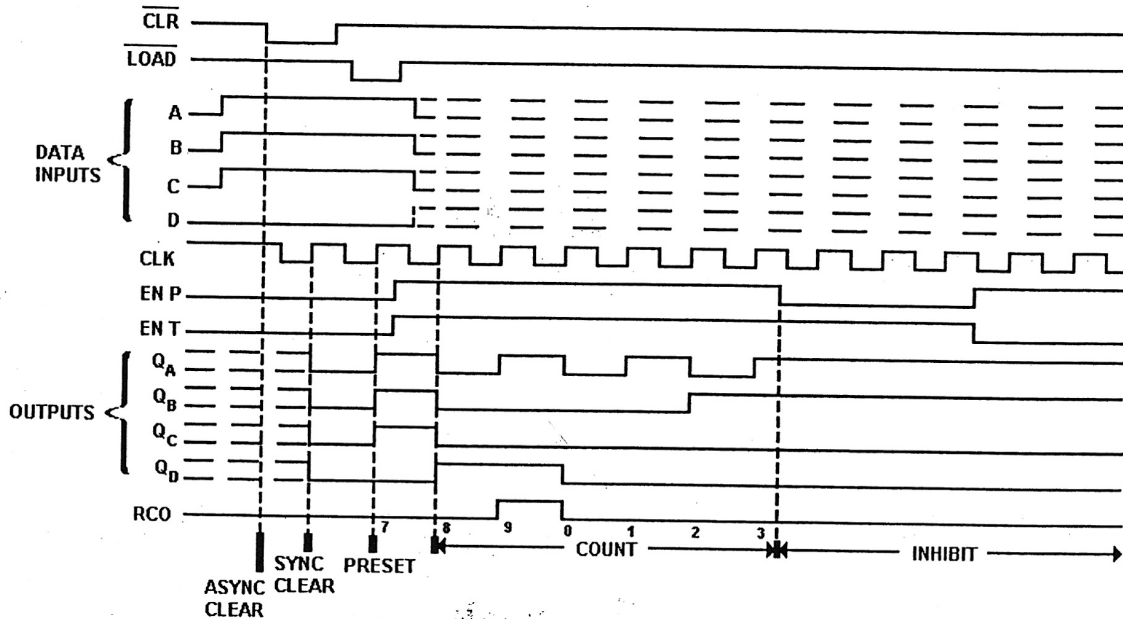
**SN54160, SN54162, SN54LS160A, SN54LS162A, SN54S162,
SN74160, SN74162, SN74LS160A, SN74LS162A, SN74S162
SYNCHRONOUS 4-BIT COUNTERS**

'160, '162, 'LS160A, 'LS162A, 'S162 DECADE COUNTERS

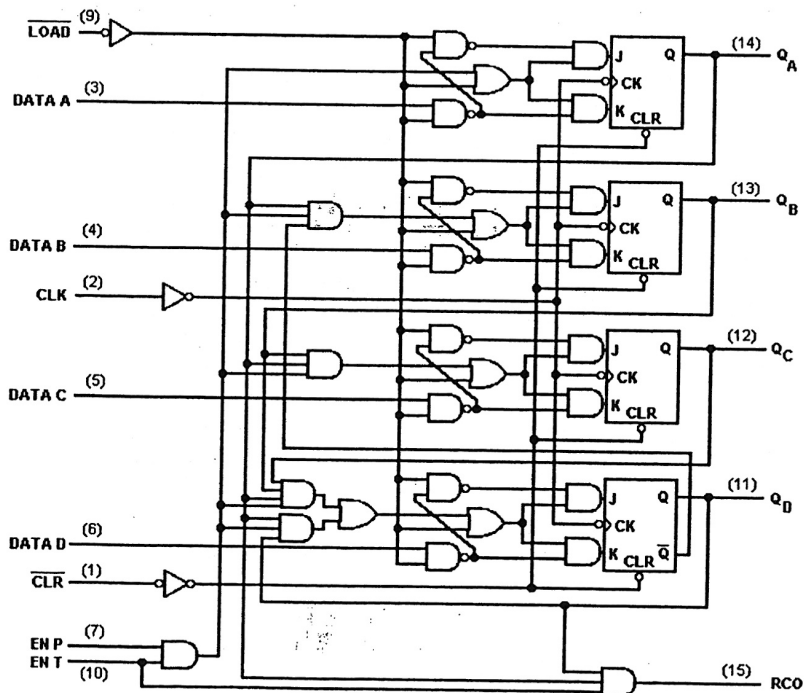
typical clear, preset, count and inhibit sequences

Illustrated below is the following sequence:

1. Clear outputs to zero ('160 and 'LS160A are asynchronous; '162, 'LS162A and 'S162 are synchronous)
2. Preset to BCD seven
3. Count to eight, nine, zero, one, two and three
4. Inhibit



logic diagram



**TEXAS
INSTRUMENTS**

POST OFFICE BOX 655012 • DALLAS TEXAS 75265

TYPES SN54668, SN54LS669, SN74LS668, SN74LS669 SYNCHRONOUS 4-BIT UP/DOWN COUNTERS

D2351, APRIL 1977 — REVISED MARCH 1989

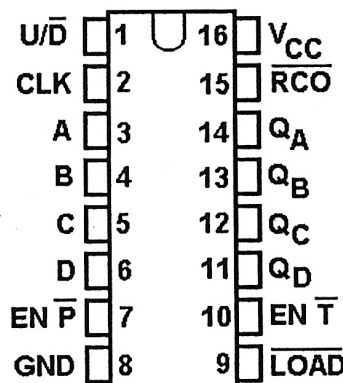
'LS668 ... SYNCHRONOUS UP/DOWN DECADE COUNTERS
'LS669 ... SYNCHRONOUS UP/DOWN BINARY COUNTERS

Programmable Look-Ahead Up/Down Binary/Decade Counters

- Fully Synchronous Operation for Counting and Programming
- Internal Look-Ahead for Fast Counting
- Carry Output for n-Bit Cascading
- Fully Independent Clock Circuit
- Buffered Outputs

SERIES 54', 54LS', 54S' . . . J OR W PACKAGE
SERIES 74', 74LS', 74S' . . . J OR N PACKAGE
(TOP VIEW)

TYPE	TYPICAL MAXIMUM CLOCK FREQUENCY		TYPICAL POWER DISSIPATION
	COUNTING UP	COUNTING DOWN	
'LS668, 'LS669	35 MHz	35 MHz	100 mW



description

These synchronous presettable counters feature an internal carry look-ahead for cascading in high-speed counting applications. The 'LS668 are decade counters and the 'LS669 are 4-bit binary counters. Synchronous operation is provided by having all flip-flops clocked simultaneously so that the outputs change coincident with each other when so instructed by the count-enable inputs and internal gating. This mode of operation helps eliminate the output counting spikes that are normally associated with asynchronous (ripple-clock) counters. A buffered clock input triggers the four master-slave flip-flops on the rising (positive-going) edge of the clock waveform.

These counters are fully programmable; that is, the outputs may each be preset to either level. The load input circuitry allows loading with the carry-enable output of cascaded counters. As loading is synchronous, setting up a low level at the load input disables the counter and causes the outputs to agree with the data inputs after the next clock pulse.

The carry look-ahead circuitry provides for cascading counters for n-bit synchronous applications without additional gating. Instrumental in accomplishing this function are two count-enable inputs and a carry output. Both count enable inputs (\overline{P} and \overline{T}) must be low to count. The direction of the count is determined by the level of the up/down input. When the input is high, the counter counts up; when low, it counts down. Input \overline{T} is fed forward to enable the carry output. The carry output thus enabled will produce a low-level output pulse with a duration approximately equal to the high portion of the Q_A output when counting up and approximately equal to the low portion of the Q_A output when counting down. This low-level overflow carry pulse can be used to enable successive cascaded stages. Transitions at the enable \overline{P} or \overline{T} inputs are allowed regardless of the level of the clock input. All inputs are diode-clamped to minimize transmission-line effects, thereby simplifying system design.

These counters feature a fully independent clock circuit. Changes at control inputs (enable \overline{P} , enable \overline{T} , load, up/down) that will modify the operating mode have no effect until clocking occurs. The function of the counter (whether enabled, disabled, loading or counting) will be dictated solely by the conditions meeting the stable setup and hold times.

The 'LS668 and 'LS669 are completely new designs. Compared to the original 'LS168 and 'LS169, they feature 0-nanosecond hold time, reduced input currents I_{IH} and I_{IL} and all buffered outputs.

PRODUCTION DATA documents contain information current as of publication date. Products conform to specifications per the terms of Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.

TEXAS
INSTRUMENTS

POST OFFICE BOX 955012 • DALLAS, TEXAS 75205

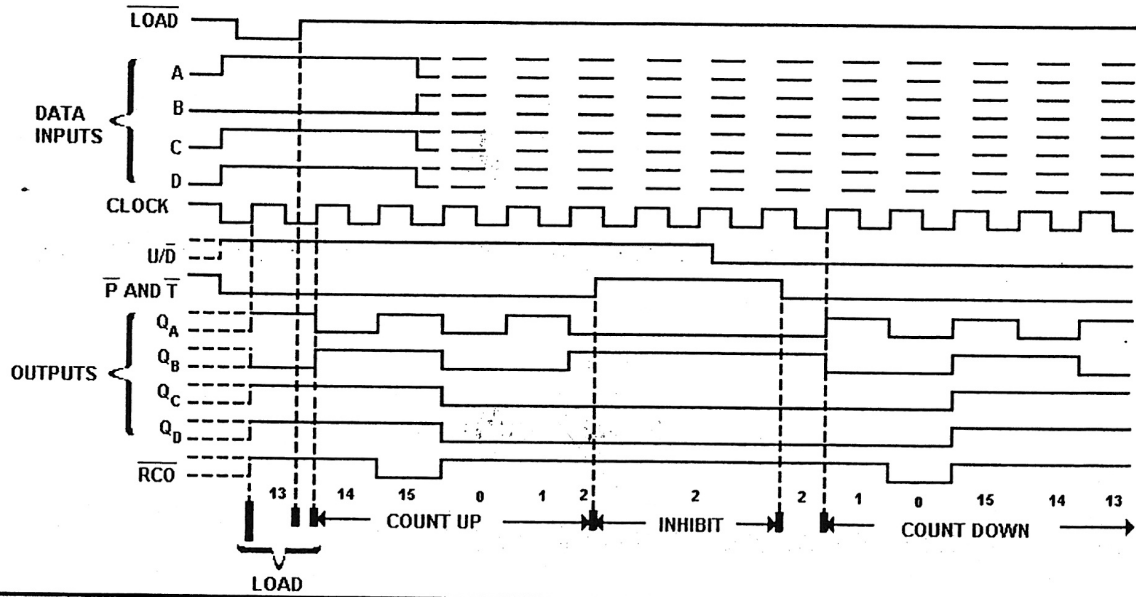
SN54LS669, SN74LS669 SYNCHRONOUS 4-BIT UP/DOWN COUNTERS

'LS669 BINARY COUNTERS

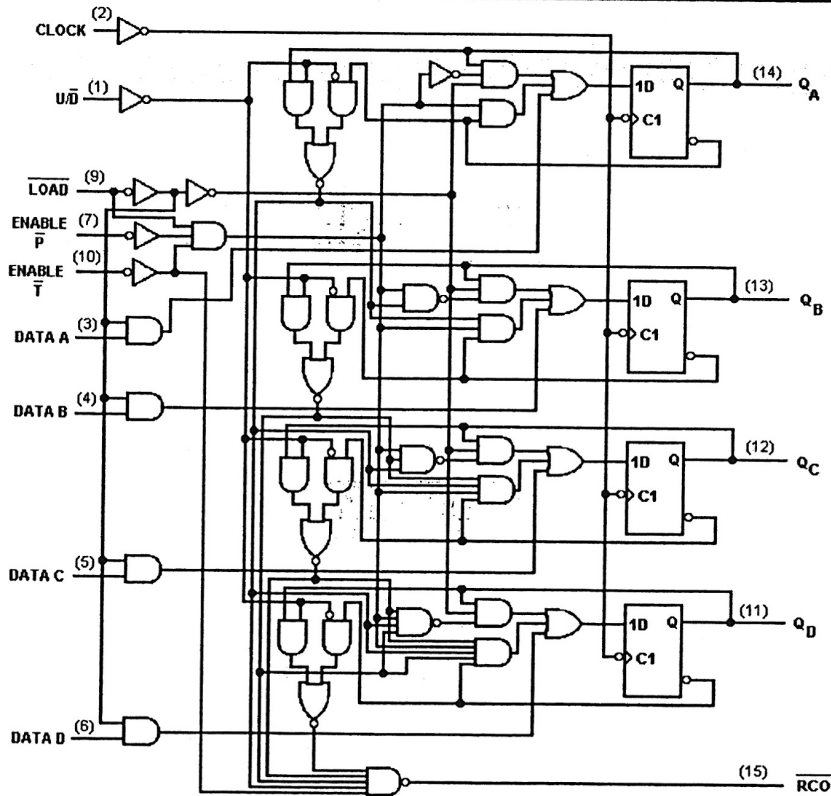
typical clear, preset, count and inhibit sequences

Illustrated below is the following sequence:

1. Load (preset) to binary thirteen
2. Count up to fourteen, fifteen (maximum), zero, one and two
3. Inhibit
4. Count down to one, zero, (minimum), fifteen, fourteen and thirteen



logic diagram




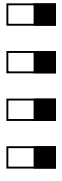

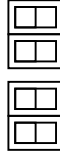
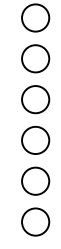



TEXAS
INSTRUMENTS

POST OFFICE BOX 655012 • DALLAS TEXAS 75265

Laborationsutrustning i Digitalteknik

Återställ modulerna enligt nedanstående karta

+5 0	 7-segment avkodad	 Skjutomkopplare	74LS00	74LS04	74LS153
+5 0	 7-segment avkodad	 Skjutomkopplare	74LS00	74LS10	74LS157
+5 0	 7-segment avkodad	Klockpulsgenerator	74LS00	74LS10	74LS160
+5 0	 7-segment	Minne	74LS00	74LS20	74LS160
+5 0	 Lysdioder	Minne	74LS02	74LS175	74LS160
+5 0	 Tryckomkopplare	Förgrening	74LS04	74LS175	74LS669